

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 07147611 A

(43) Date of publication of application: 06 . 06 . 95

(51) Int. Cl

H04M 11/00

G06F 13/00

H04L 13/08

(21) Application number: 06152009

(22) Date of filing: 04 . 07 . 94

(30) Priority: 02 . 07 . 93 US 93 87164

(71) Applicant: MULTI TECH SYST INC

(72) Inventor: JOHNSON GREG
JOHNSON RICHARD D
WEINZIERL DAVID A

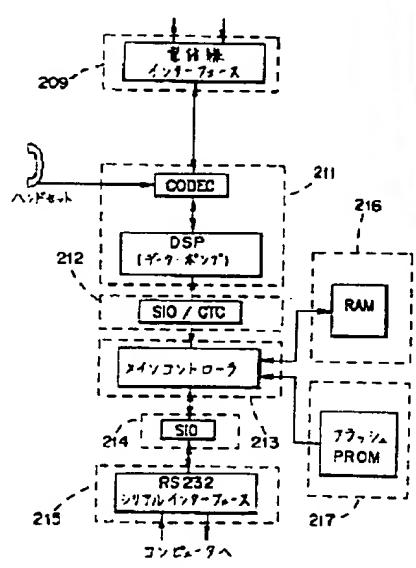
(54) RE-PROGRAMMABLE MODEM SYSTEM

(57) Abstract:

PURPOSE: To provide a re-programmable MODEM system which can change firmware having stored operating codes through remote control or improve the grade of the firmware without requiring parts removal nor replacement, the time of engineers, nor any special tool.

CONSTITUTION: An updated operating code or parameter can be reprogrammed to a modem system without replacing the hardware of a modem. The modem system incorporates a memory chip which is re-programmable in a circuit in which the operating code or parameter is stored. Two control programs control the re-programming of the updated operating code. One of the control programs is designed for manufacture and tests and the other control program enables the reprogramming of the updated operating code or parameter from a remote place.

COPYRIGHT: (C)1995,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-147611

(43)公開日 平成7年(1995)6月6日

(51) Int.Cl.*	識別記号	序内整理番号	F I	技術表示箇所
H 04 M 11/00	3 0 1	7406-5K		
G 06 F 13/00	3 5 3 V	7368-5B		
H 04 L 13/08		9371-5K		

審査請求 有 請求項の数12 OL (全26頁)

(21)出願番号	特願平6-152009
(22)出願日	平成6年(1994)7月4日
(31)優先権主張番号	087164
(32)優先日	1993年7月2日
(33)優先権主張国	米国(US)

(71)出願人	594112392 マルチ-テック・システムズ・インコーポレイテッド MULTI-TECH SYSTEMS, INC. アメリカ合衆国55112ミネソタ州マウンズ・ビュー、ウッディル・ドライブ2205番
(72)発明者	グレッグ・ジョンソン アメリカ合衆国55432ミネソタ州フライドリー、ファーンデイル・アベニュー1505番
(74)代理人	弁理士 青山 葦 (外2名)

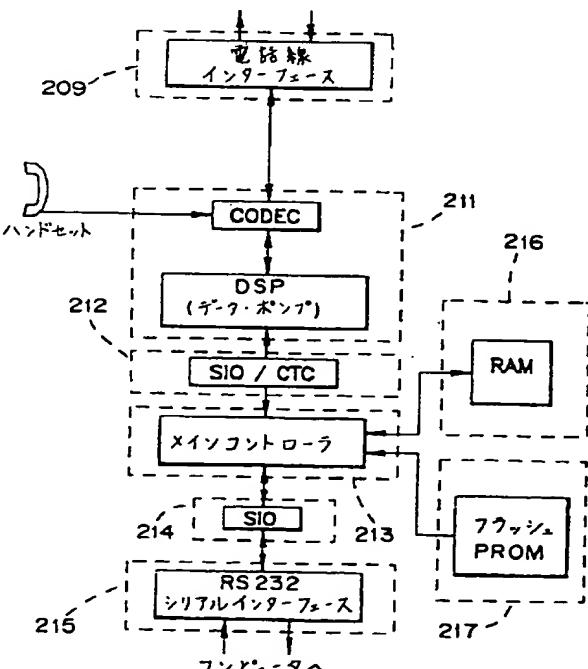
最終頁に続く

(54)【発明の名称】 再プログラム可能な変復調システム

(57)【要約】

【目的】 部品の取り外しや取り替えを必要とせずに、技術者の時間や特別な工具を必要とせずに、オペレーティングコードが記憶されたファームウェアに対して遠隔制御で変更又はグレードの向上を行うことができる再プログラム可能な変復調システムを提供する。

【構成】 更新されたオペレーティングコードやパラメータは、変復調装置のハードウェアの取り替え無しに変復調システムに再プログラミングすることができる。変復調システムはオペレーティングコードやパラメータが記憶される回路内で再プログラム可能なメモリチップを含む。2つの制御プログラムは更新されたオペレーティングコードの再プログラミングを制御する。その1つの制御プログラムは製造や試験の目的のために設計される。もう1つの制御プログラムは遠隔の場所から更新されたオペレーティングコードやパラメータの再プログラミングを可能にする。



1

【特許請求の範囲】

【請求項 1】 通信モジュールを備えた再プログラム可能な変復調システムであって、

上記通信モジュールは、

第1の装置と上記通信モジュールとの間でデータを転送するための第1の装置と通信を行うために接続された通信インターフェース手段と、電話線に接続するための電話線インターフェース手段と、

オペレーティングコードを実行して上記通信モジュールを制御するための制御手段と、

上記オペレーティングコードを記憶するためのメモリ手段と、

上記オペレーティングコードを上記メモリ手段にプログラムするためのプログラミング手段とを備え、

上記制御手段は、ソフトウェアを実行して上記電話線を介して上記第2の装置と通信を行い、上記第1の装置のローカルユーザによって入力されたコマンドに応答して上記第2の装置に対して電話の発信を開始するように動作可能であって、更新されたオペレーティングコードを上記第2の装置から上記第1の装置にダウンロードすることを制御するように動作可能であって、

上記制御手段はさらに、ソフトウェアを実行して上記通信インターフェース手段を介して上記第1の装置と通信を行うとともに、上記第1の装置から上記通信インターフェース手段を介して上記通信モジュールへの上記更新されたオペレーティングコードの転送を制御することを特徴とする再プログラム可能な変復調システム。

【請求項 2】 上記メモリ手段は、電気的に消去可能であってプログラム可能なリードオンリーメモリを備えたことを特徴とする請求項1記載のシステム。

【請求項 3】 上記システムはさらに、

上記通信モジュールに設けられ、上記通信モジュールが使用されていないとき、電力を浪費しない電力節約手段を備え、

上記電力節約手段は、

上記通信モジュールの使用中に外部クロック信号を上記通信モジュールに供給するための外部発振器手段と、上記通信モジュールが使用されていないときに、低電力であって低い周波数のクロック信号を上記通信モジュールに供給する低周波数発振器手段と、

上記制御手段はさらに、上記通信モジュールが使用されていないときに、低電力モードで動作し、

上記通信モジュールはさらに、上記通信モジュールが使用されていないときに、低電力モードで動作することを特徴とする請求項1記載のシステム。

【請求項 4】 上記制御手段はさらに、(a) 上記第1の装置から転送された上記更新されたオペレーティングコードの第1の部分を読み出すステップと、(b) 上記読み出した部分を第1のフォーマットから第2のバナ

2

リフォーマットに処理するステップと、(c) 上記処理され更新されたオペレーティングコードをメモリバッファに記憶するステップと、(d) 上記第1の装置から転送された上記更新されたオペレーティングコードの次の部分を読み出すステップと、(e) 上記更新されたオペレーティングコードのすべてが上記メモリバッファに記憶されるまで、上記(b)乃至(d)のステップを繰り返すステップとを実行することによって、上記更新されたオペレーティングコードを上記通信モジュールにプログラムするように動作可能であることを特徴とする請求項1記載のシステム。

【請求項 5】 上記制御手段はさらに、(a) 上記第1の装置と上記通信モジュールとの間でボーレートを取り決めるステップと、(b) パケット識別データと、パケット長指示データと、プログラミングアドレスと、上記処理され更新されたオペレーティングコードの可変量とを有するパケットを生成するステップと、(c) 上記パケットを上記通信モジュールに送信するステップと、(d) 上記パケットにおける上記処理され更新されたオペレーティングコードを上記メモリ手段の上記プログラミングアドレスにプログラムするステップと、(e) 上記処理され更新されたオペレーティングコードのすべてが上記メモリ手段にプログラムされるまで、上記(b)乃至(d)のステップを繰り返すステップとを実行することによって、上記更新されたオペレーティングコードを上記通信モジュールにプログラムするように動作可能であることを特徴とする請求項1記載のシステム。

【請求項 6】 上記通信モジュールはさらに、上記通信モジュールが使用されていないときにクロック信号を必要とするデータポンプ回路を備え、

上記システムはさらに、外部クロック信号を出力するための外部発振器と、低い周波数のクロック信号を出力し、低電力を用いて動作するための低周波数発振器と、上記通信モジュールが使用されていないときに上記外部発振器をディスエーブルし、さらに、上記低周波数発振器が上記必要とされるクロック信号を上記データポンプ回路に供給するように上記低周波数発振器をイネーブルするためのスリープ手段とを備えたことを特徴とする請求項1記載のシステム。

【請求項 7】 上記第1の装置は、中央のコンピュータを備えたことを特徴とする請求項1記載のシステム。

【請求項 8】 上記第2の装置は、パーソナルコンピュータを備えたことを特徴とする請求項1記載のシステム。

【請求項 9】 上記通信インターフェース手段はシリアルポートを備えたことを特徴とする請求項1記載のシステム。

【請求項 10】 電話線を介して通信モジュールに接続された第1の装置と、通信インターフェースを介して上

50

記通信モジュールに接続された第2の装置との間での通信を行い、周期的な更新が実行されるオペレーティングコードの制御のもとで動作する通信モジュールにおいて、

上記オペレーティングコードを回路内で再プログラムするためのシステムであって、上記システムは、

上記通信モジュールに設けられ、上記オペレーティングコードを記憶するとともに、上記記憶され更新されたオペレーティングコードを受信するための記憶手段と、

上記第2の装置に設けられ、上記第1の装置から上記電話線を介して上記更新されたオペレーティングコードを受信するための受信手段と、

上記更新されたオペレーティングコードを上記記憶手段にプログラムするための制御手段とを備え、

上記制御手段は、

予め決められた通信プロトコルに従って、上記第2の装置から上記通信インターフェースを介して上記通信モジュールに上記更新されたオペレーティングコードを転送するためのプロトコル手段と、

上記更新されたオペレーティングコードが正確に転送されたことを照合するためのチェック手段とを備えたことを特徴とするシステム。

【請求項11】 変復調システムを制御するオペレーティングコードのグレードを向上するための方法であつて、(a) 更新されたオペレーティングコードを第1の装置に記憶するステップと、(b) 上記第1の装置から第2の装置に第1のフォーマットで上記更新されたオペレーティングコードを転送するステップと、(c) 上記更新されたオペレーティングコードを第1のメモリバッファに記憶するステップと、(d) 上記更新されたオペレーティングコードの第1の部分を読み出すステップと、(e) パケット識別データと、パケット長指示データと、プログラミングアドレスと、上記更新されたオペレーティングコードの読み出した部分とを有するパケットを生成するステップと、(f) 上記パケットを上記変復調システムに送信するステップと、(g) 上記更新されたオペレーティングコードの部分を、上記変復調システムにおける上記プログラミングアドレスによって指定されたアドレスにプログラムするステップと、(h) 上記更新されたオペレーティングコードの次の部分を読み出すステップと、(i) 上記更新されたオペレーティングコードのすべてが上記変復調システムにプログラムされるまで、上記(e)乃至(h)のステップを繰り返すステップとを含むことを特徴とする方法。

【請求項12】 通信モジュールを備えた再プログラマ可能な変復調システムであつて、

上記通信モジュールは、

第1の装置と上記通信モジュールとの間でデータを転送するための第1の装置と通信を行うために接続された通信インターフェース手段と、

電話線に接続するための電話線インターフェース手段と、

オペレーティングコードを実行して上記通信モジュールを制御するための制御手段と、

上記オペレーティングコードを記憶するためのメモリ手段と、

上記オペレーティングコードを上記メモリ手段にプログラムするためのプログラミング手段とを備え、

上記制御手段は、ソフトウェアを実行して上記電話線を介して上記第2の装置と通信を行い、上記第1の装置のローカルユーザによって入力されたコマンドに応答して上記第2の装置に対して電話の発信を開始するように動作可能であつて、更新されたオペレーティングコードを上記第2の装置から上記第1の装置にダウンロードすることを制御するように動作可能であつて、

上記制御手段はさらに、ソフトウェアを実行して上記通信インターフェース手段を介して上記第1の装置と通信を行うとともに、上記第1の装置から上記通信インターフェース手段を介して上記通信モジュールへの上記更新

されたオペレーティングコードの転送を制御し、

上記通信モジュールはさらに、上記通信モジュールが使用されていないときにクロック信号を必要とするデータポンプ回路を備え、

上記システムはさらに、

外部クロック信号を出力するための外部発振器と、低い周波数のクロック信号を出力し、低電力を用いて動作するための低周波数発振器と、

上記通信モジュールが使用されていないときに上記外部発振器をディスエーブルし、さらに、上記低周波数発振器が上記必要とされるクロック信号を上記データポンプ回路に供給するように上記低周波数発振器をイネーブルするためのスリープ手段とを備えたことを特徴とする再プログラム可能な変復調システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、再プログラマ可能な変復調システムに関し、特に、変復調装置（モデル）の動作を遠隔制御で変化させ又はグレードを向上させるように制御するファームウェアを備えた変復調システムに関する。

【0002】

【従来の技術】 現在、ソフトウェアのグレードアップやバージョンアップ、ソフトウェアにおけるバグの除去などをユーザーに分配するための幾つかのメカニズムが存在している。例えば、電気的にプログラム可能なリードオブリュームモリ（以下、E P R O Mという。）などのようなオペレーティングプログラムのファームウェアの記憶装置を用いるシステムにおいては、当該ファームウェアにおけるバグの除去又はバージョンアップなどの性能向上は、更新されたオペレーティングコードを用いて新しい

E PROMをプログラムすることと、当該新しいE PROMを顧客に出荷して輸送することとを必要としている。そして、技術者は、システムが設けられた場所に出向いて、ハードウェアを取り外し、古いE PROMを新しいものに取り替える。

【0003】

【発明が解決しようとする課題】不運にも、これらの方
法は非常に不都合である。まず第1に、メーカーがプロ
グラムを作成して取り替え部品を出荷して輸送するのを
待つときに、かなり長い時間遅延が生じることになる。
第2に、もしユーザがバグの除去をして修理することを
待っているならば、そのハードウェアは動作不可能であ
るかもしれない。特に、当該ハードウェアが更新された
オペレーティングコード無しに動作不可能であるバグの
除去の場合においてはまさにそのような状態となる。また、古
いE PROMを新しいE PROMに取り替えることは、技術者がシステムが設けられた場所に出向いて特別な工具を用いてハードウェアを取り外し、欠陥のある1つ又は複数の部品や旧式のものを取り替える必要がある。この結果、技術者の時間や特別な工具が必要であるために、修理又はグレードを向上もしくはバージョンアップのための経費が増大する。このように、現在の更新するための方法は、時間を消費し、高価であって非能率的である。

【0004】従って、当該技術分野においては、部品の取り外しや取り替えを必要とせずに、また、技術者の時間や特別な工具を必要とせずに、オペレーティングコードが記憶されたファームウェアに対して遠隔制御で変更又はグレードの向上を行うことができ、この結果、より効率的にかつ安価で当該ファームウェアを更新することができる変復調装置に対するニーズがある。従って、本発明の目的は以上の問題点を解決し、部品の取り外しや取り替えを必要とせずに、また、技術者の時間や特別な工具を必要とせずに、オペレーティングコードが記憶されたファームウェアに対して遠隔制御で変更又はグレードの向上を行うことができ、この結果、より効率的にかつ安価で当該ファームウェアを更新することができる再プログラム可能な変復調システムを提供することにある。

【0005】

【課題を解決するための手段】本発明に係る請求項1記載の再プログラム可能な変復調システムは、通信モジュールを備えた再プログラム可能な変復調システムであって、上記通信モジュールは、第1の装置と上記通信モジュールとの間でデータを転送するための第1の装置と通信を行うために接続された通信インターフェース手段と、電話線に接続するための電話線インターフェース手段と、オペレーティングコードを実行して上記通信モジュールを制御するための制御手段と、上記オペレーティングコードを記憶するためのメモリ手段と、上記オペ

ーティングコードを上記メモリ手段にプログラムするためのプログラミング手段とを備え、上記制御手段は、ソ
フトウェアを実行して上記電話線を介して上記第2の装
置と通信を行い、上記第1の装置のローカルユーザによ
って入力されたコマンドに応答して上記第2の装置に対
して電話の発信を開始するように動作可能であって、更
新されたオペレーティングコードを上記第2の装置から
上記第1の装置にダウンロードすることを制御するよう
に動作可能であって、上記制御手段はさらに、ソフ
トウェアを実行して上記通信インターフェース手段を介して
上記第1の装置と通信を行うとともに、上記第1の装置
から上記通信インターフェース手段を介して上記通信モ
ジュールへの上記更新されたオペレーティングコードの
転送を制御することを特徴とする。

【0006】また、請求項2記載のシステムは、請求項
1記載のシステムにおいて、上記メモリ手段は、電気的
に消去可能であってプログラム可能なリードオンリーメ
モリを備えたことを特徴とする。さらに、請求項3記載の
システムは、請求項1記載のシステムにおいて、上記シ
ステムはさらに、上記通信モジュールに設けられ、上記
通信モジュールが使用されていないとき、電力を浪費し
ない電力節約手段を備え、上記電力節約手段は、上記通
信モジュールの使用中に外部クロック信号を上記通信モ
ジュールに供給するための外部発振器手段と、上記通信
モジュールが使用されていないとき、低電力であって
低い周波数のクロック信号を上記通信モジュールに供給
する低周波数発振器手段と、上記制御手段はさらに、上
記通信モジュールが使用されていないときに、低電力モ
ードで動作し、上記通信モジュールはさらに、上記通信
モジュールが使用されていないときに、低電力モードで
動作することを特徴とする。

【0007】またさらに、請求項4記載のシステムは、
請求項1記載のシステムにおいて、上記制御手段はさら
に、(a) 上記第1の装置から転送された上記更新され
たオペレーティングコードの第1の部分を読み出すステ
ップと、(b) 上記読み出した部分を第1のフォーマット
から第2のバイナリフォーマットに処理するステップと、
(c) 上記処理されたオペレーティングコードをメモリバッファに記憶するステップと、(d) 上
記第1の装置から転送された上記更新されたオペレーテ
ィングコードの次の部分を読み出すステップと、(e)
上記更新されたオペレーティングコードのすべてが上記
メモリバッファに記憶されるまで、上記(b)乃至
(d) のステップを繰り返すステップとを実行すること
によって、上記更新されたオペレーティングコードを上
記通信モジュールにプログラムするように動作可能であ
ることを特徴とする。

【0008】また、請求項5記載のシステムは、請求項
1記載のシステムにおいて、上記制御手段はさらに、
(a) 上記第1の装置と上記通信モジュールとの間でボ

ーレートを取り決めるステップと、(b) パケット識別データと、パケット長指示データと、プログラミングアドレスと、上記処理され更新されたオペレーティングコードの可変量とを有するパケットを生成するステップと、(c) 上記パケットを上記通信モジュールに送信するステップと、(d) 上記パケットにおける上記処理され更新されたオペレーティングコードを上記メモリ手段の上記プログラミングアドレスにプログラムするステップと、(e) 上記処理され更新されたオペレーティングコードのすべてが上記メモリ手段にプログラムされるまで、上記(b) 乃至(d) のステップを繰り返すステップとを実行することによって、上記更新されたオペレーティングコードを上記通信モジュールにプログラムするように動作可能であることを特徴とする。

【0009】さらに、請求項6記載のシステムは、請求項1記載のシステムにおいて、上記通信モジュールはさらに、上記通信モジュールが使用されていないときにクロック信号を必要とするデータポンプ回路を備え、上記システムはさらに、外部クロック信号を出力するための外部発振器と、低い周波数のクロック信号を出力し、低電力を用いて動作するための低周波数発振器と、上記通信モジュールが使用されていないときに上記外部発振器をディスエーブルし、さらに、上記低周波数発振器が上記必要とされるクロック信号を上記データポンプ回路に供給するように上記低周波数発振器をイネーブルするためのスリープ手段とを備えたことを特徴とする。

【0010】また、請求項7記載のシステムは、請求項1記載のシステムにおいて、上記第1の装置は、中央のコンピュータを備えたことを特徴とする。さらに、請求項8記載のシステムは、請求項1記載のシステムにおいて、上記第2の装置は、パーソナルコンピュータを備えたことを特徴とする。またさらに、請求項9記載のシステムは、請求項1記載のシステムにおいて、上記通信インターフェース手段はシリアルポートを備えたことを特徴とする。

【0011】本発明に係る請求項10記載のシステムは、電話線を介して通信モジュールに接続された第1の装置と、通信インターフェースを介して上記通信モジュールに接続された第2の装置との間での通信を行い、周期的な更新が実行されるオペレーティングコードの制御のもとで動作する通信モジュールにおいて、上記オペレーティングコードを回路内で再プログラムするためのシステムであって、上記システムは、上記通信モジュールに設けられ、上記オペレーティングコードを記憶するとともに、上記記憶され更新されたオペレーティングコードを受信するための記憶手段と、上記第2の装置に設けられ、上記第1の装置から上記電話線を介して上記更新されたオペレーティングコードを受信するための受信手段と、上記更新されたオペレーティングコードを上記記憶手段にプログラムするための制御手段とを備え、上記

制御手段は、予め決められた通信プロトコルに従って、上記第2の装置から上記通信インターフェースを介して上記通信モジュールに上記更新されたオペレーティングコードを転送するためのプロトコル手段と、上記更新されたオペレーティングコードが正確に転送されたことを照合するためのチェック手段とを備えたことを特徴とする。

【0012】本発明に係る請求項11記載の方法は、変復調システムを制御するオペレーティングコードのグレ

- 10 ドを向上するための方法であって、(a) 更新されたオペレーティングコードを第1の装置に記憶するステップと、(b) 上記第1の装置から第2の装置に第1のフォーマットで上記更新されたオペレーティングコードを転送するステップと、(c) 上記更新されたオペレーティングコードを第1のメモリバッファに記憶するステップと、(d) 上記更新されたオペレーティングコードの第1の部分を読み出すステップと、(e) パケット識別データと、パケット長指示データと、プログラミングアドレスと、上記更新されたオペレーティングコードの読み出した部分とを有するパケットを生成するステップと、(f) 上記パケットを上記変復調システムに送信するステップと、(g) 上記更新されたオペレーティングコードの部分を、上記変復調システムにおける上記プログラミングアドレスによって指定されたアドレスにプログラムするステップと、(h) 上記更新されたオペレーティングコードの次の部分を読み出すステップと、(i) 上記更新されたオペレーティングコードのすべてが上記変復調システムにプログラムされるまで、上記(e) 乃至(h) のステップを繰り返すステップとを含むことを特徴とする。

【0013】本発明に係る請求項12記載の変復調シス

- 20 テムは、通信モジュールを備えた再プログラム可能な変復調システムであって、上記通信モジュールは、第1の装置と上記通信モジュールとの間でデータを転送するための第1の装置と通信を行うために接続された通信インターフェース手段と、電話線に接続するための電話線インターフェース手段と、オペレーティングコードを実行して上記通信モジュールを制御するための制御手段と、上記オペレーティングコードを記憶するためのメモリ手段と、上記オペレーティングコードを上記メモリ手段にプログラムするためのプログラミング手段とを備え、上記制御手段は、ソフトウェアを実行して上記電話線を介して上記第2の装置と通信を行い、上記第1の装置のローカルユーザによって入力されたコマンドに応答して上記第2の装置に対して電話の発信を開始するように動作可能であって、更新されたオペレーティングコードを上記第2の装置から上記第1の装置にダウンロードすることを制御するように動作可能であって、上記制御手段はさらに、ソフトウェアを実行して上記通信インターフェース手段を介して上記第1の装置と通信を行うとともに

に、上記第1の装置から上記通信インターフェース手段を介して上記通信モジュールへの上記更新されたオペレーティングコードの転送を制御し、上記通信モジュールはさらに、上記通信モジュールが使用されていないときにクロック信号を必要とするデータポンプ回路を備え、上記システムはさらに、外部クロック信号を出力するための外部発振器と、低い周波数のクロック信号を出力し、低電力を用いて動作するための低周波数発振器と、上記通信モジュールが使用されていないときに上記外部発振器をディスエーブルし、さらに、上記低周波数発振器が上記必要とされるクロック信号を上記データポンプ回路に供給するように上記低周波数発振器をイネーブルするためのスリープ手段とを備えたことを特徴とする。

【0014】

【発明の効果】上述の当該技術における欠点を解消するために、さらには、本明細書を読んで理解するときに明らかになるであろう他の利点を提供するために、本発明は、ハードウエアとソフトウェアを備える変復調システムである。当該変復調システムは、ユーザが、遠隔の場所において、1本のアナログ電話線に対して同様のシステム、又は変復調装置（モデル）もしくはファクシミリ装置を接続することを可能にする。種々の電力節約機能を備えるという特徴は、小型、軽量であって標準的な9ボルトの電池から電源供給される容易に運搬可能な変復調システムを実用的に設けることを可能にする。本発明の変復調システムはまた、回路内での再プログラム可能なメモリチップにおいてオペレーティングコードと複数のパラメータを記憶する記憶装置を備える。従って、ユーザは、更新されたオペレーティングコードを電話線を介してダウンロードしてシリアルポートを介して回路内のメモリチップに再プログラムすることによって、更新されかつ、バグが除去されて修理されて向上され、又は他の新しくリリースされたシステムオペレーティングコードを用いて遠隔制御でシステムのファームウェアのグレードを向上させることができる。

【0015】

【実施例】本発明に係る次に記述する好ましい実施例の詳細な説明においては、当該好ましい実施例の一部を形成しつつ、本発明が実際に応用実用化された特定の実施例が図示された図面を参照する。これらの実施例は、当業者が本発明を実用化することができるように十分に詳細に記述されており、他の複数の実施例が利用してもよいことや、構造的な変更が本発明の概念や範囲から逸脱することなしになれることが可能であることが理解される。従って、次に記述する説明は、制限された意味にとるべきではなく、本発明の範囲は添付の特許請求の範囲によって定義される。

【0016】図1は、本発明に係る一実施例である変復調システムが設けられる電気通信システムの環境における典型的な配置を示すシステム図である。ハードウエア

構成要素20は、本発明に係る変復調システムを含み、ラップトップコンピュータ10に接続される。ハードウエア構成要素20は、標準的な電話線30を介して種々の遠隔の場所のうちの1つと通信を行う。例えば、複数の遠隔の場所のうちの1つは、ハードウエア構成要素20aとラップトップコンピュータ10aとを含む本発明に係る変復調システムを備えて設けててもよい。この変復調システムはまた、電話線30を介してファクシミリ装置60に接続され、パーソナルコンピュータとそれに関連する変復調装置（モデル）40とに接続され、もしくは、互いに接続された複数のパーソナルコンピュータからなるネットワーク90に接続される。当業者は、次に示す詳細な説明を読んで理解することによって、この変復調システムと、広くかつ種々の通信相互接続が可能であることを容易に認識するであろう。

【0017】ハードウエア構成要素

図2は、図1の参考番号20に対応する本発明に係る変復調システムのハードウエア構成要素のブロック図である。これらのハードウエア構成要素は、ユーザ、ラップトップコンピュータ又はパーソナルコンピュータ（以下、PCという。）と、電話線インターフェースとの間のリンクを形成する。

【0018】この変復調システムの好ましい実施例は、好ましくは、デジタル電話符号器-復号器（以下、CODEC（コーデック）という。）と、電話線インターフェース209を介して通信を行うためのデジタル信号プロセッサ（Digital signal processor；以下、DSPという。）とを含むデータポンプ回路211を含む。回路211のデータポンプDSPは、ファクシミリ及び変復調プロトコル（通信手順）を含む複数の電気通信の標準を用いて電話線インターフェース209を介して通信するために、例えば変調、復調及びエコーキャンセレーション（エコー相殺除去）などの複数の機能を実行する。メインコントローラ回路213は直接にDSPデータポンプ回路211を制御する。

【0019】以下により詳細に記述するように、メインコントローラ回路213は、好ましい実施例において、図2に図示されたハードウエア構成要素のすべての機能と動作とを制御するマイクロプロセッサを含む。メインコントローラ回路213は、RAM回路216と、プログラム可能であって電気的に消去可能なリードオンリーメモリ又はフラッシュPROM回路217とに接続される。フラッシュPROM回路217は、メインコントローラ回路213のための実行可能な制御プログラムが記憶された不揮発性メモリを含む。

【0020】RS232Cシリアルインターフェース215は、この変復調システムのソフトウェア構成要素を実行させるパーソナルコンピュータのシリアルポートと通信を行う。RS232Cシリアルインターフェース回路215は、シリアル入力／出力回路214を介してメ

11

インコントローラ回路 213 に接続される。データは電話線から電話線インターフェース回路 209 によって受信され、データポンプ回路 211 とメインコントローラ回路 213 とによってシリアルラインインターフェース回路 215 を介してパーソナルコンピュータに送られる。

【0021】詳細な電気回路図

詳細な電気回路図は、図 4 乃至図 14 に図示されている。図 3 は、これらの図 4 乃至図 14 の図面の間の電気的なライン上の複数の信号を通過することを見ることができるようにどのように好都合に配置されているかの特徴を示し、相互の電気的な接続を示すための図面の配置図である。これらの電気回路図の間の電気的な接続は、各ワイヤから次のワイヤへの接続をアルファベットの指示記号を用いて図示されている。例えば、図 4 の右側の長辺を上にして回路図を向かって見たときに（以下、図 4 の見方は同様とする。）、右側のアドレスライン A0-A19 は、個々の電気的なラインが他のページにおいて A0-A19 として現れる、もしくは、集合的なバスに接続された円内の指示記号“A”を用いて示された他の電気回路図に集合的に接続されるアドレスバスに接続される。同様の方法で、図 4 の左手の下側における例えば R N G L のようなシンボルを用いて指示された他の複数の電気的なラインは、同一の指示記号 R N G L を用いて図示された他の電気回路図に接続される。

【0022】図 7 及び図 8 の電気回路図を始めとして、DAA 回路、すなわち電話線インターフェース 209 が図示されている。好ましい実施例における電話線の接続は、標準的な 6 ピンモジュラー RJ-11 型ジャックであるコネクタ J 201 を介して行われる。図 8 の電気回路図においては、RJ-11 型モジュラーコネクタの第 1 の電話回線のチップとリングの接続が用いられている。フェライトビード FB 201 と FB 202 は、電話線から放射される可能性がある高周波又は高周波雑音を軽減するために、電話線の接続のチップワイヤ及びリングワイヤ上に設けられる。着信の電話線はまた、過電圧保護器であるサイダクタ (SIDACTOR) R 205 を用いて過電圧に対して保護される。着信の電話線の信号は、図 7 のダイオード CR 230, CR 260, CR 227, CR 228 からなる全波整流ブリッジによって全波整流される。

【0023】着信の電話線の両端子にはまた、リング検出回路が接続される。光アイソレータ U 220 (部品モデル番号 CNY 17) は、リング電圧がツェナーダイオード又は定電圧ダイオード CR 201 及び CR 202 におけるブレークダウン電圧を超えたときにリング電圧のしきい値を検出する。

【0024】DAA 回路は、当該変復調システムの残りの回路から、変成器（又は変圧器）T 1、光カップラ U 220、並びに、光学的に結合されている 2 個の固体半

12

導体リレー X 215 及び X 202 とによって、物理的に分離又は隔離されている。コネクタ J 203 は製造中ににおける自動テストのために、並びに製品診断のために用いられる 4 ピンのヘッダである。

【0025】図 7 に図示されたリレー X 215 は、チップワイヤ及びリングワイヤを開いたり閉じたりする（開閉する）ことによって、パルスダイヤリングを実行するために用いられる。関連する離散的に設けられる抵抗とともにそれらに沿って設けられるトランジスタ Q 203 は、電話線を捕捉するために、電話線上に電流バス又は電流ループを提供するためのホールディング回路（又はホールド回路）を備える。図 7 及び図 8 に図示された DAA 回路は、米国や多くの異なったヨーロッパの国々において用いられる、変化する電話標準に対してインターフェースをとることができるよう作成することができる。

【0026】図 7 に図示されたコネクタ J 202 は、上述された電話線インターフェース回路を、図 12 に図示されたコネクタ J 102 に接続し、このようにして、当該回路の残りの回路において接続される。着信の RXA 信号は、図 13 に図示されているように、2 個の演算増幅器 U 104 によって緩衝増幅される。この緩衝増幅の第 1 段階は、送信搬送波信号を電話線に駆動するために用いられる。この入力の緩衝増幅の第 2 段階は、当該信号を CODEC U 101 に対して駆動する前に適当な利得量に設定するために用いられる。この段階はまた、受信機に帰還される送信信号の量を減少させるために用いられる。増幅器 U 104 からの信号はまた、スピーカ X 101 を駆動するスピーカドライバ U 105 に供給される。

【0027】図 4 及び図 5 において図示されたアドレスバス A 及びデータバス B は、マイクロコントローラ U 5 における Z 80180 型マイクロプロセッサを、Z 80 型 KIO 回路 U 4 とゲートアレイ回路 U 3 とに接続し、さらには、電気回路図の他の部分に接続される。図 4 及び図 5 に図示されたゲートアレイ U 3 はまた、本発明のハードウェア構成要素における種々の機能をサポートするために用いられる“グルーロジック（接着論理回路）”を含む。ゲートアレイ U 3 は、個々に独立しているSSI 又はMSI 集積回路において通常見つけることができるこの変復調システムのための種々雑多なラッチ回路及びバッファ回路を含む。広い色々な種類の種々雑多な複数のサポート回路を 1 個のゲートアレイに結合することによって、設計の複雑性を大きく軽減することができるとともに、製造コストを大きく軽減することができる。

【0028】図 13 に図示された CODEC (符号器-復号器) チップ U 101 と、図 9 に図示されたインターフェースチップ U 1 と、図 9 に図示されたデジタル信号プロセッサ (DSP) チップ U 2 は、AT&T マイクロ

エレクトロニクスによって製造されて販売されているデータポンプチップセットを備える。互いに直接的に接続されて協働するこれらの3個のチップの動作の詳細な説明は、AT&Tマイクロエレクトロニクスによって1991年12月に出版された“AT&T V. 32bis/V. 32/FAX高速データポンプチップセットデータブック(AT&TV.32bis/V.32/FAX High-Speed Data Pump Chip Set Data Book)”と題された出版物において記述され、この出版物は、参照によってここに含まれる。このAT&Tデータポンプチップセットは、標準的な電話線又はリース回線を介して動作することができる、集積回路化された2ワイヤ(2W)全二重変復調装置のコアを備える。このデータポンプチップセットは、CCITT勧告V. 32bis, V. 32, V22bis, V22, V23, V21における電気通信の仕様書に準拠しており、ベル(Bell)212A型及び103型変復調装置(モデム)と互換性がある。14, 400, 9600, 4800, 2400, 1200, 12, 000及び300ビット/秒の速度がサポートされている。このデータポンプチップセットは、ROMにコードが記憶されたDSP16A型デジタル信号プロセッサU2と、インターフェースチップU1及びAT&T T7525型線形CODEC U101とから構成される。AT&Tデータポンプチップセットは、AT&Tマイクロエレクトロニクスから入手することができる。

【0029】図9及び図13に図示されたチップセットU1、U101及びU2は、電話線上におかれた又は電話線から検出されたすべての信号に対して、A/D変換、D/A変換、変調、復調及びエコーチャンセレーション(エコー相殺除去)のすべての処理を実行し、DTMFトーン信号の発生及び検出、コールプログレストン(call progress tones)などの信号解析を実行する。CODEC U101からの電話線上の情報の送信は、上述のように、バッファU104を介して、並びに、ラインバッファU105を介してなされる。

【0030】制御回路であるメインコントローラ回路213と、サポート回路212, 214, 215, 216及び217とは、図4乃至図6、並びに図9に図示されている。この変復調システムの好ましい実施例においては、図4及び図5に図示されたメインコントローラU5はZ80180型8ビットマイクロコントローラチップである。好ましい実施例においては、マイクロコントローラチップU5は、カリフォルニア州サンタバーナードに住所を有するザイログ・インコーポレイテッド(Zilog, Inc.)によって販売されているZ80180型マイクロプロセッサである。ザイログ製Z80180型8ビットマイクロプロセッサは、好ましい実施例においては、24.576MHzの水晶発振子である外部水晶発振子XTALを備えた水晶発振回路によって発振されたクロック信号を用いて、12.288MHzの内部クロック速

度で動作する。当該水晶発振回路は、20pFのキャパシタである2個のキャパシタC1及びC2と、33Ωの抵抗である抵抗R15とを含む。当該水晶発振回路及びサポート回路は、ザイログ・インコーポレイテッドによって出版されたザイログ・インテリジェント・ペリフェラル・コントローラーズ・データ・ブック(the Zilog Intelligent Peripheral Controllers Data Book)において見つけられる製造メーカー者の仕様書に従って接続される。ザイログ・1991・インテリジェント・ペリフェラル・コントローラーズ・データブック(the Zilog 1991 Intelligent Peripheral Controllers databook)の351ページから392ページまでに記載のZ80型CPUプロダクト仕様書からの、Z80180 Z180 MPUに対するプロダクト(生産品)の説明は、参照によってここに含まれる。

【0031】マイクロコントローラチップU5におけるZ80180型マイクロプロセッサは、好ましい実施例においては、ザイログ・インコーポレイテッドから入手することができるザイログ製84C90 CMOS Z80 KIOシリアル/パラレル/カウンタ/タイマー集積回路である、シリアル/パラレルI/Oカウンタに密接に接続される。このマルチファンクション(複数機能付き)I/OチップU4は、1つのチップの中に、パラレル入力/出力ポートと、シリアル入力/出力ポートと、バス制御回路と、クロックタイマー回路との複数の機能を結合又は合成している。上記ザイログZ84C90プロダクト仕様書は、ザイログ・インコーポレイテッドから入手することができるザイログ・インテリジェント・ペリフェラル・コントローラーズ・1991・ハンドブック(the Zilog Intelligent Peripheral Controllers 1991 Handbook)におけるこの回路の詳細な内部動作を記述し、ザイログ・1991・インテリジェント・ペリフェラル・コントローラーズ・データブック(the Zilog 1991 Intelligent Peripheral Controllers databook)の205ページから224ページまでに記載のZ84C90 CMOS Z80 KIO プロダクト仕様書は参照によってここに含まれる。

【0032】マイクロコントローラチップU5におけるZ180型マイクロプロセッサと接続されて動作する複数のメモリチップが図6に図示されている。接続A及びBはそれぞれ、図4に見つけられるように、アドレスバスとデータバスへの接続に対応する。メモリチップU7は、回路内で電気的に再プログラマブルであるリードオンリーメモリ(ROM)チップである。典型的にはフラッシュPROMとして参照されるこのプログラマブルROMは、不揮発性メモリにおいて、この変復調システムのためのオペレーティングコードと複数のオペレーティングパラメータ(又は動作パラメータ)を保持する。電源オン時のパワーアップ時に、マイクロコントローラチップU5は、フラッシュP

ROM U7において記憶されたプログラムコードを実行する。好ましい実施例においては、RAMチップU6は、内蔵型リフレッシュ機能を備えたダイナミックRAMである擬似スタティックRAMである。当業者は、より広い種々のメモリチップが、本発明の範囲を逸脱することなしに擬似スタティックRAM U6及びフラッシュPROM U7のために用いられかつそれの代わりに取り替えることができるることは、容易に認識することができるであろう。

【0033】メインコントローラ回路213とパーソナルコンピュータとの間でのインターフェースは、シリアル入力／出力(SIO)回路214とRS232Cシリアルインターフェース215とを用いてなされる。RS232Cの接続用コネクタJ103は、パーソナルコンピュータとのシリアル通信インターフェイスのために適当な複数のRS232標準信号を発生しつつ受信するために用いられる、関連するRS232ドライバ回路U102と、インターフェース及びリング検出回路とともに、図12に図示されている。

【0034】図14は、ここで記述される電気回路図のハードウェア構成要素に電源供給される種々の電圧を発生するための回路の電気回路図である。ここで記述されるこのハードウェア構成要素のための電源は、標準的な9ボルトの電池、もしくは、標準的な3ピンの電源ジャックJ104を介して接続する商用交流電圧を所定の直流電圧に変換するACアダプタから受電される。ACアダプタのプラグが当該電源ジャックJ104に挿入接続されたときに、電池はその接続が解除されて未接続となる。電源の電力は電源スイッチS101によって制御される。好ましい変復調システムは、標準的な9ボルトの電池を外した状態で設計されるので、その結果、小型、軽量であってより容易に運搬可能なパッケージに收めることができる。しかしながら、当該変復調システムはまた、当該技術分野において公知である標準的なインターフェースと従来の回路を用いた任意の他の電源装置から電源供給して動作させることができることが理解されるであろう。5ボルトのレギュレータU107は、約5.3ボルトのドロップアウト電圧(すなわち、電圧低下電圧)を有する線形のレギュレータである。Q102は、電源スイッチS101によって指示されるように、オン／オフを制御するMOSFETである。電源スイッチS101はMOSFET Q102をオンするとともに、オンと、オフと、自動(オート)との3つの位置(ポジション)を有する。自動の位置では、電源スイッチS101は上記コンピュータからのデータ端末レディ信号(Data Terminal Ready Signal)を検出し、もしそのデータ端末レディ信号が存在しないならば、当該変復調システムへの電源は完全にオフとされて電力供給されない。従って、もし通信ソフトウェアがロードされていないならば、当該変復調システムは自動的に電源はオフは

され、その結果、電力の浪費はされない。図14の回路から、+9ボルトの直流は5ボルトに低下されて調整され、また、反転増幅器U106を介して反転されて負の電圧(-9ボルト)を得る。当該負の電圧は、図12に図示されたRS232ドライバU102を駆動するためによいられる。その結果、5ボルトが、この変復調システムにおける、種々のメモリチップと、論理回路チップと、コントローラチップと、サポート回路とを動作させるために得られる。

10 【0035】図10は、図12に図示されたコネクタJ101とインターフェースをとるためのコネクタJ1を示す。図11は、本発明の変復調システムの正面のディスプレイ上に設けられる、当該装置の状態を示す状態LEDの相互接続を示す。

【0036】電力節約の特徴

図9を参照すれば、上記で詳細記述されたインターフェースチップU1が図示されている。また、図9の左上側の部分に、例えばラップトップコンピュータとともに用いるために適当な、小型、軽量であって容易に運搬可能である変復調装置(モジュール)を実用的に提供することができるようにするために、この変復調システムに含まれる電力節約回路(パワーセービング回路)が図示されている。この変復調システムの電力節約の特徴は、図14を参照して説明したように、標準的な9ボルトの電池から電源電力を得るように設計することを可能にしている。

【0037】電力を浪費せずに大事に使うために、この変復調システムを、ローパワーモード(低電力モード)又は“スリープ”モードに設定することを可能にする種々の電力節約の特徴が提供されている。スリープモードにおいては、当該変復調システムへの電力の消費は大幅に軽減される。このスリープモードにおいては、3つの主たる電力節約の特徴がある。まず第1に、好ましい実施例においては、付加的な回路が付加的な電力節約を実現するために付加されている。第2に、AT&Tデータポンプチップセットは、内蔵型ローパワーモード(又は内蔵型低電力モード)を有する。第3に、Z180型MPU U5はまた、内蔵型ローパワーモード(又は内蔵型低電力モード)を有する。

40 【0038】上記で詳細記述されたAT&TデータポンプチップセットU1, U2及びU101は、ローパワーモードに設定するための能力を有する。ローパワーモードに設定されたとき、図9に図示されたインターフェースチップU1によって発生されたCODECビットクロックTCODECは、必要なクロック信号をDSPチップU2及びCODEC U101に提供するために、115kHzに分周してより低い周波数に変換する。リセットと接続解除の後に又はユーザコマンドを入力することによって、データポンプチップセットは自動的にスリープモードに入る。リング信号又はホストコマンドが受

17

信されたとき、当該チップセットは自動的に上記スリープモードが解除されて起動されて動作状態となる。AT&Tデータポンプチップセットの内蔵型スリープモードは、1991年12月にAT&Tマイクロエレクトロニクスによって出版された“AT&T V.32bis/V.32/FAX高速データポンプチップセットデータブック(AT&T V.32bis/V.32/FAX High-Speed Data Pump Chip Set Data Book)”と題された上記の出版物においてより詳細に説明されている。

【0039】AT&TデータポンプチップセットU1, U2及びU101によって提供された電力節約スリープモードに加えて、本発明は、付加的な電力節約の特徴を提供する。これらの特徴は、外部クロック発振器XTL1を提供することを含む。外部クロック発振器XTL1がまたスリープモードに設定すること（ディスエーブル状態に設定すること）ができるような回路が提供される、このことは、当該変復調システムが使用中でないときに当該発振器が不要に電力を消費するときに、より重要な電力の節約の結果をもたらす。外部クロック発振器XTL1がディスエーブル状態（非動作状態）にされたときに、CODEC U101へのクロックは、図4のZ80型K10回路U4から発生されて図10のANDゲートU10を介して入力されるより低い周波数の約100kHzの信号に切り換えられる。

【0040】水晶発振子XTAL2は、インターフェースチップU1に提供される内部発振器を接続して用いられる20.275MHzの水晶発振子である。内部発振器は、上記でリストアップされたインターフェースチップU1に関する文献において説明されている。

【0041】この変復調システムは、水晶発振子XTAL2/C17/C18の組み合わせ回路と、外部クロック発振器XTL1/C19の組み合わせ回路とのいずれかとともに組み立てられることが可能である。いずれかの組み合わせ回路を用いて、AT&TデータポンプチップセットU1, U2及びU101に内蔵される電力節約の特徴が用いられる。しかしながら、XTL1/C19の組み合わせ回路を用いたとき、AT&Tデータポンプチップセットの特徴と、また外部発振器XTAL1をディスエーブルする付加的な特徴は、より大きな電力の節約のために用いることができる。外部クロック発振器XTAL1は、フロリダ州マイアミに住所を有するラルトロン・コーポレイション(Raltron Corporation)から入手することができる部品番号CO2810である。外部クロック発振器XTAL1は、40.5504MHzの発振周波数を有し、ラルトロン・コーポレイションによって出版された“クロックOSC, モデルCO2810シリーズ(SMDタイプOSC) (CLOCK OSC, Model CO2810 Series(SMD Type OSC)”と題された出版物においてより詳細に説明され、この出版物は参照によってここに含まれる。好ましい実施例においては、外部クロック

18

ク発振器XTL1は、AT&TデータポンプチップセットU1, U2及びU101のためのメインクロックとして用いられ、インターフェースチップU1を駆動するために40.5504MHzで発振する。

【0042】この変復調システムがオフフックされかつZ180型MPU U5が処理中でないとき、Z180型MPU U5はローパワーモード又はスリープモードに設定することができる。Z180型MPUのスリープモードは、CPUを内部CPUクロックが停止する状態に設定し、これによって、より小さい電流を消費する。図4及び図5に図示された割り込み端子INT0, INT1又はINT2のうちの1つに割り込み信号が入力されたときに、Z180型MPU U5はスリープモードが解除されて起動されて動作状態となる。

【0043】Z80型K10回路U4によって発生された割り込み信号に応答して、この割り込み信号の割り込み端子INT0への割り込みは、Z180型MPU U5を、スリープモードを解除して起動して動作状態にする。RNGL信号又はウォッチドッグタイマー信号(WDOUT-)に応答して、この信号の割り込み端子INT1への割り込みはZ180型MPU U5に対して、スリープモードを解除して起動して動作状態にする。ウォッチドッグは、当該プロセッサが時間の軌跡を保持することを可能にする数秒のストロータイマーである。例えば、プロセッサが当該変復調システムが禁止されているブラックリスト内の電話番号をダイヤリングして発信することができないときの時間の軌跡を保持する必要がある。図10に図示されたTDであるDTEデータ信号に応答して、この信号の割り込み端子INT2への割り込みは、Z180型MPU U5に対してスリープモードを解除して起動して動作状態にする。

【0044】ザイログ製Z180型MPU U5の内蔵型スリープモードは上述の出版物“ザイログ・インテリジェント・ペリフェラル・コントローラーズ1991ハンドブック(Zilog Intelligent Peripheral Controllers 1991 Handbook)により詳細に説明されている。

【0045】グレードが向上された制御プログラムの機能的な説明
好ましい変復調システムは、システムのファームウェアとフラッシュ制御プログラムとブート制御プログラムの遠隔制御の回路内の再プログラミングを制御する2つの制御プログラムを含む。フラッシュ制御プログラムはホストPCにおいて実行され、組み込まれた掲示板の記憶装置であるビルトインボードからダウンロードされた、更新されたオペレーティングコードを受信する。上記更新されたコードはインテルのHEX(16進数データ)ファイルの形式でホストPCにダウンロードされる。フラッシュ制御プログラムは、当該HEXファイルを処理し、変復調システムに実際に送信される更新されたオペレーティングコードを含む複数のパケットを生成する。

10

20

30

40

50

各パケットは、パケット長と、上記更新されたコードを記憶するアドレスと、実際のプログラムデータと、チェックサムとを含むフィールドを含む。上記変復調システムにおいて実行するブート制御プログラムは、上記パケットが正確に送信されたか否かをチェックし、上記パケットのアドレスフィールドにおいて示されたアドレスに上記更新されたオペレーティングコードをプログラムする。

【0046】要約すると、フラッシュ制御プログラムは、フラッシュPROM U7の回路内の再プログラミングの処理のうちのホストPC側の部分を制御する。上記ブート制御プログラムは変復調システム側の部分を制御する。上述のように、フラッシュPROM U7は回路内でプログラム可能であり、電気的に消去可能なリードオンリメモリである。当該技術分野の当業者に公知であるように、これらのメモリチップは、フラッシュPROMチップU7に記憶されたオペレーティングコードと複数のパラメータを回路内で再プログラミングすることを可能にする。この変復調システムは特定のフラッシュPROM U7に関して記述しているが、任意の回路内の再プログラミング可能なメモリを、本発明の範囲から逸脱することなしに用いることは理解されるであろう。

【0047】フラッシュPROM U7が当該変復調回路に組み込まれる前に、ブート制御プログラムが消去され、もしくは従来のPROMプログラマーとプログラミング技術とを用いてフラッシュPROM U7にプログラムされる。

【0048】バグが除去されて内容が向上され、または他の新しいバージョンがリリースされたシステムのオペレーティングコードが利用可能である時、フラッシュ制御プログラムは、中央のビルトインボードから電話線を介してオペレーティングコードを遠隔制御でロードし、ダウンロードされたオペレーティングコードを処理することを制御するために用いられる。上記ブート制御プログラムは、ホストPCから上記シリアルポートを介して上記更新されたオペレーティングコードを受信し、フラッシュPROM U7への新しいオペレーティングコードの回路内の再プログラミングを制御する。

【0049】本発明に係る変復調システムのフィールドがプログラム可能であるという特徴は、いくつかの利点を有する。ユーザが遠隔制御で遠隔制御の電話接続を介して新しいオペレーティングコードをロードすることができるので、出荷されるべき新しいパーツを待つことなしにそれらを利用することができるすぐに、オペレーティングコードの更新を行うことができる。さらに、物理的な取り外し、もしくは部品の取り替えは必要がなく、したがって装置を故障させる機会を大幅に減少させ *

データレコード

*る。更に、部品を取り外し、そして取り替えるために特別な工具は必要はなく、メモリチップを再プログラムするに特別なPROMのプログラミング装置は必要ない。最後に、グレードを向上させるために技術者が遠くの場所に行く必要を回避することができ、したがって、グレードを向上させることに関連するコストを大幅に軽減させることができる。

【0050】フラッシュ制御プログラムとブート制御プログラムの詳細な説明は以下に与えられる。ここで記述され、かつ図示されるフラッシュ制御プログラムとブート制御プログラムの実例となる図式的な実施例は、PCをベースとしたDOSオペレーティングシステムを特別に参照して記述される。しかしながら、本発明はいかなる方法においても、このDOSオペレーティングシステムに限定されないということが理解されるであろう。好みの変復調システムはまた、所望のオペレーティングシステム上で実行することができるように、ユザインターフェースをそのシステムをサポートするように合わせて作成することによって、UNIXをベースとしたオペレーティングシステム、マッキントッシュオペレーティングシステム、または多数のオペレーティングシステムのいずれかを用いて使用することができる。

【0051】フラッシュ制御プログラムの詳細な説明
フラッシュ制御プログラムは、更新されたオペレーティングコードと複数のパラメータを当該変復調システムのフラッシュ部分に再プログラミングすることを制御するために用いられる。

【0052】上記更新されたオペレーティングコードは、図15に図示された手順に従って、ユーザに分配される。更新されたものを得るために、上記更新されたオペレーティングコードを含むHEXファイルがコンピュータのビルトインボードから電話線を介してホストPCにダウンロードされる。このHEXファイルは好みの、インテル製MCS-86 HEXフォーマットの形式で作成される。これはHEXファイルに対する工業標準である。

【0053】HEXファイルは、もっぱらASCII(アスキー)キャラクタを含み、次の3つのレコードタイプを含む：データレコード、エンドレコード、及び拡張されたアドレスレコード(又はイクステンデッドアドレスレコード)。上記3つのレコードタイプのフォーマットは1988年11月1日付けのグニックE PROMプログラマーモデル9000のためのユーザマニュアルの27ページに詳細に説明されており、これは参照によってここに含まれ、次の通りである。

【0054】

【表1】

21

バイト番号

内容

1	コロン (:)
2 - 3	バイナリデータバイトのバイト数
4 - 5	ロードアドレス、ハイバイト
6 - 7	ロードアドレス、ローバイト
8 - 9	レコードタイプ、"00"である必要がある
10 - x	データバイト、ASCII-HEXの2つのキャラクタ
x + 1 - x + 2	チェックサム、ASCII-HEXの2つのキャラクタ
x + 3 - x + 4	キャリッジリターン (CR)、ラインフィード (LF)

【0055】

* * 【表2】

エンドレコード

バイト番号

内容

1	コロン (:)
2 - 3	レコード長、"00"である必要がある
4 - 7	実行アドレス
8 - 9	レコードタイプ、"01"である必要がある
10 - 11	チェックサム
12 - 13	CR, LF

【0056】

* * 【表3】

拡張されたアドレスレコード

バイト番号

内容

1	コロン (:)
2 - 3	レコード長、"02"である必要がある
4 - 7	ロードアドレスフィールド、"0000"である必要がある
8 - 9	レコードタイプ、"02"である必要がある
10 - 13	USBA-16によって乗算されたこの数字は新しい ロードオフセットアドレスである。 我々の使用のために、ただ最初のデジットは 64 K バンクオフセット値のチェックサムとして用いられる。
14 - 15	チェックサム
16 - 17	CR, LF

【0057】図16は、フラッシュ制御プログラム800のフローチャートを示す。フラッシュ制御プログラム800の開始が図示されている。まず最初に、内部環境と複数の変数が初期化される。好みのフラッシュ制御プログラム800はコマンドラインのパラメータを受け入れるか、もしくはメニュー駆動モードで実行することができる。ユーザインターフェースのスクリーン(又は画面)の現在の状態は記憶された後にクリアされる一方、フィールドアップグレード(フィールドのグレードを向上させる)制御プログラムが実行される。上記スクリーンの内容は再プログラミングが完了した後に、後の

40 表示のために記憶される。

【0058】フラッシュ制御プログラム800は、ヘルプシステムを開始させる制御ブロック802を実行する。ヘルプシステムは、再プログラミングの種々の段階において、ユーザに対してスクリーン上で状態メッセージをレポートする。複数の回数だけ、ユーザからの情報が要求されるかもしれない。また、適宜、エラーメッセージやアクションに対する可能なコース(又は過程)が表示される。

【0059】次いで、フラッシュ制御プログラム800は、この変復調システムにどのシリアルポートが接続さ

れるか、また、適当なボーレートと、他の必要なセットアップ情報を決定するためにセットアップファイルを読み出す。次いで、シリアルポートは、得られたセットアップ情報に従って初期化される。

【0060】制御ブロック804は、ホストPCにおいて128キロバイトのメモリバッファの割り当てを行う。このメモリバッファは、変復調システムにおけるフラッシュPROMにプログラムすべき更新されたオペレーティングコードを含む処理されたHEXファイルを記憶するために用いられる。HEXファイルの処理は図17を参照して以下に記述される。

【0061】もし、質問ブロック806において“自動モード”が設定されたならば、フラッシュ制御プログラム800は自動的にユーザに対して再プログラミングの手順を用いて実行される。しかしながら、ある製造上の目的や研究開発の目的のために、ユーザは上記再プログラミングの手順を用いて別の制御を行なうことが所望する。したがって、自動モードをディスエーブルすることができる。自動モードがディスエーブルされると、フラッシュ制御プログラムは、プログラムすべきHEXファイルの名前がコマンドライン上に存在しているか否かをチェックする。もしそうでなければ、ユーザの“処理メニュー”は制御ブロック807において、“ポートセットアップ”と、“ファイル読み出し”と、“プログラム”と、“出口”とのいずれかの選択をする表示がスクリーン上に現れるであろう。次いで、ユーザは実行されるべき機能を選択することができる。もしHEXファイルの名前がコマンドライン上にあれば、フラッシュ制御プログラムは、以下に詳述する“ファイルを読み出して処理する処理”を実行する。

【0062】もしそうでなければ、自動モードにおいて、フラッシュ制御プログラム800は、図16の右上の部分で制御ブロック808を実行する。ここでホストPCにあるすべてのHEXファイルは見つけられ、それらの名前がスクリーン上に表示される。ユーザは変復調システムにプログラムすべきファイルの名前を選択する。もし所望されるファイルがリストの中にはないならば、ユーザはESCキーを押下してプログラムを終了させることができる。

【0063】ビルトインボードからダウンロードされたHEXファイルにおける各レコードのバイトはシーケンシャルの形式で記述されているが、HEXレコード自身はそのファイル内で特定の順序で順序付けされていない。したがって、このファイルは処理されて、この変復調システムにプログラムすることができるフォーマットにソートされる必要がある。ファイルを読み出して処理する処理810は、ホストPCに記憶された標準的なインテルのHEXファイルを読み出し、必要なHEXファイルの処理を実行する。

【0064】図17は、ファイルを読み出して処理する

処理810を示すフローチャートである。このファイルを読み出して処理する処理810の目的はHEXレコードに含まれるASCII HEXキャラクタを、フラッシュPROM U7にプログラムするために適当なバイナリフォーマットに変換することにある。処理810はまずスクリーン上のヘルプの表示を更新することから始まる。次いで、メモリバッファは“消去”され、即ちすべてFF hex(16進数表示；2進数表示すべて1)にセットされる。これはフラッシュPROM U7の消去された状態に対応する。

【0065】次いで、HEXファイルが読み出しアクセスのために開かれ、最初のHEXレコードが読み出される。次いで、このレコードは、構文(シンタックス)をチェックするために、また上述されたように各HEXレコードのレコードタイプフィールドによって示されるレコードタイプを決定するために解析される。

【0066】もしレコードがタイプ0であるならば、このレコードはデータレコードである。このレコードは、現在のメモリポインタによって示されるメモリバッファにロードすべきデータとして処理され、ここで、当該メモリポインタは現在の64kページと、上記レコードに供給されるアドレスとの和のアドレスを示す。データはASCIIテキストからバイナリテキストに変換されてメモリバッファに記憶された後、メモリポインタは上記メモリバッファにおける次に利用できる空間にインクリメントされる。

【0067】レコードタイプ02は拡張されたアドレスレコードを示す。これらの複数のレコードにおける情報はASCIIテキストからバイナリに変換され、新しいレコードタイプ02が来るまで、次のレコードのすべてに対するオフセットとして加算すべき64kページ番号として処理される。

【0068】レコードタイプ01はエンド・オブ・ファイル(EOF；ファイルの終了)レコードを示す。もしアドレス0000、0001又は0002がプログラムされたならば、これらのアドレスはそれぞれ0c3h、00、及び01に強制的にセットされる。これは、通常の変復調装置のコードというよりはむしろ、ブート制御エリアへのジャンプのためのコードである。このステップは、フラッシュ部分のブート制御エリアが占有されないということを確実にさせる。

【0069】ファイルを読み出して処理する処理810は、すべてのレコードが読み出され、処理され、そしてホストPCにおけるメモリバッファに記憶されるまで、HEXファイルにおけるレコードを読み出す。最後のレコードが処理された後に、ファイルを読み出して処理する処理810が終了する。

【0070】再び図16を参照すれば、ファイルを読み出して処理する処理810が終了した後に、フラッシュ制御プログラム800はユーザに対して、この変復調シ

25

システムにプログラムすべき正しいファイルが識別されたか否かを確認する。もしそうであればプログラムが存在して、実行される。もしそうでないならば、フラッシュ制御プログラム800はファイルをプロダクト（又は生産品）にプログラムする処理820を実行する。

【0071】図18及び図19は、ファイルをプロダクトにプログラムする処理820を示すフローチャートである。この変復調システムは公知であって広く用いられたATコマンドセットを使用する。当該技術分野において公知であるように、ATコマンドセットは、ユーザがコンピュータのキーボードを用いてコマンドを入力することによってこの変復調システムを制御することを可能にする。ATコマンドセットは、例えば電話線に対するアクセス、受信機をオフックにすること、ダイヤリング、電話を切ること（オフックすること）などの複数の機能を変復調システムに対して実行させることを指示するために用いることができる。ATコマンドセットはまた、ファイルをダウンロードすること又はアップロー*

26

*ドすることなどのより高度な機能のために用いることができる。ATコマンドセットのこれらより高度な機能の多くは、以下に詳述するように、この変復調システムにおいて用いられる。ATコマンドセットは、ファイルをプロダクトにプログラムする処理820において用いられる。

【0072】このファイルをプロダクトにプログラムする処理820の一般的な説明が、次の表4および表5を参照して記述される。上述された、ホストPCと変復調

10 システムとの間の転送ボーレートを取り決めるためのハンドシェーキングの手順が表4に示されている。表5に示されて記述されているATコマンドセットはこの変復調システムを制御するために用いられる。送信されるすべてのデータは8ビットであってパリティ無し、1ストップビットである。

【0073】

【表4】

ホスト	変復調システム
	パワーアップ（電源オン）又はAT*FSはブートコードの実行を開始させる。
19200ポートで複数の'M'を送信する	パワーアップ又はAT*FSのコマンドを受信した後30ミリ秒以内で複数の'M'を受信したならば、19200ポートで'U'を用いて応答する。もしそうでなければ、タイムアウトしてメインコードにジャンプする。
19200ポートで'D'を送信する	'U'が送信された後300ミリ秒以内で'D'が受信されたならば変復調システムは以下の信号を送信して応答する。 'J': 19200ポートで受信することができる。 'K': 19.2k又は38.4kポートで受信することができる。 'M': 9.6k, 19.2k, 38.4k 57.6k又は115.2kポートで受信することができる。 もしそうでなければ、タイムアウトしてメインコードにジャンプする。
もし'J'であれば19200ポートに設定し、そうでなければ、以下の速度に設定する。 'I': 9600ポート 'J': 19200ポート 'K': 38.4kポート 'L': 57.6kポート	50

27

'M' : 115. 2k ボー

取り決められた速度に設定される。

【0074】図18を参照すれば、シリアルポートは19200ボーレートで初期化され、8ビットであってパリティ無し、1スタートビットのパケットに設定される。AT*FSは、変復調システムの電源をオンすることに等価である、アドレス0に変復調システムをジャンプさせるための特別なコマンドである。この時に、ホストPCと変復調システムは上記の表4における表形式で示されたように、転送ボーレートを取り決めるためのハンドシェーキングの手順を実行する。このハンドシェーキングの手順に従って、ホストPCは、19200ボーレートで変復調システムに対して大文字の複数の'M'の送信を開始する。ホストPCは、変復調システムから'U'の応答を受信するまで複数の'M'を送信する。図20を参照して以下に説明するように、タイムアウトは変復調システムの側で制御される。ホストPCは、'U'が受信されるまで、19200ボーレートで'M'を送信し続ける。

【0075】通常の場合においては、変復調システムは、30ミリ秒以内で'U'を送信して応答するであろう。この時に、ホストPCは'D'を送り返し、変復調*

28

取り決められた速度に設定される。

*システムは、変復調システムのバージョンと、実行可能であって対応するボーレートに依存して、'J'、'K'、又は'M'のいずれかを送信して300ミリ秒以内に応答する。もし変復調システムが'J'を送信して10応答したならば、ホストPCは19200ボーレートを仮に設定する。

【0076】もし変復調システムが'K'を送信して応答したならば、ホストPCは38400ボーレート又は19200ボーレートのいずれかを選択することができる。'M'の応答は、変復調システムが9600ボーレート、19200ボーレート、38400ボーレート、57600ボーレート又は115.2kボーレートで実行することができることを意味する。ホストPCは速度を設定するために'I'、'J'、'K'又は'M'を送信する。次いで、ホストPCと変復調システムはそれぞれ、取り決められたボーレートを初期化してそのように設定する。

【0077】次の表5に示されるATコマンドセットを受信するための変復調システムが準備される。

【0078】

【表5】

コマンド	説明
AT I x ここで、 x = 0, 1, 2, 又は3	特別なコード。 30
AT F L E N D	プログラムを終了してメインコードにジャンプする。
AT F L P	パケットをプログラムする。

【0079】次いで、ホストPCはATI1コマンドを送信する。ATI1コマンドは、ブート制御プログラムのバージョンナンバーを含む。バージョンナンバーは、受信されるバージョンナンバーに依存して、128バイトから4kバイトのパケットサイズの範囲で可能であるパケットサイズを決定する。次いで、ホストPCは、上記受信されたバージョンナンバーにしたがって最大のパケットサイズを設定する。

【0080】次いで、図19の1番上における制御ボックス880において示すように、ホストPCは、図16において示された制御ボックス804において割り当てられたアドレスであって、処理されてかつソートされた、変復調システムにおけるフラッシュPROMにプロ

グラムすべき更新されたオペレーティングコードが記憶される、RAMバッファの最初のアドレスにメモリポイントを初期化する。

【0081】上記メモリポイントが一旦上記ホストPCにおけるRAMバッファの最初のアドレスに初期化されたならば、制御ブロック882は、ソフトウェアプロテクトスイッチをチェックするためのコマンドをホストPCに送信し、ここでソフトウェアプロテクトスイッチがイネーブルされた時、ブート制御プログラムが記憶されるフラッシュPROMのプログラムエリアの重ね書きを回避する一方、ソフトウェアプロテクトスイッチがディスエーブルされた時、ブート制御プログラムの一部分が50更新されることを可能にする。通常の使用のために、ソ

ソフトウェアプロテクトスイッチは、ブート制御プログラムエリアへのエラーのある重ね書きを回避するためにイネーブルされる。しかしながら、研究開発又は製造の目的のためにブート制御エリアを更新し、又は再プログラムすることが必要になるかもしれない。したがって、ソフトウェアプロテクトスイッチは、ブート制御プログラムが記憶されたフラッシュPROMのエリアに対するアクセスを可能にする、ソフトウェアの“バックドア（秘密手段）”を提供する。

【0082】再び図19を参照すれば、ホストPCは、シリアルポートを介して変復調システムに送信される1つのパケットを構築又は構成することを開始する。制御ブロック884および886において、ホストPCは、RAMバッファにおけるHEXファイルをすべてサーチして連続するブランクの無いページをサーチすることによって1つのパケットを構築する。HEXファイルのブランクページは、すべてFF（16進数表示）にプログラムされたページとして定義される。ブランクの無いページが見つけられたときはいつでも、パケット長がインクリメントされる。複数の可変長パケットは、上述のよ

*20

*うにバージョンナンバーによって決定された指定された最大パケット長までのサイズで送信されることが可能である。一旦1つのブランクページが見つかると、もしくはパケット長が最大のパケット長に到達すると、そのパケットは完成して、RS232シリアルポートを介して変復調システムに対して転送するための準備完了状態となる。

【0083】制御ブロック884及び886に図示された処理によって構築されたパケットは、ヘッダ部とデータ部とを含む。上記ヘッダ部は、ホストPCがパケットを構築するときに、ホストPCによって生成されたパケット長フィールドを含む。上記ヘッダ部はまた、データがフラッシュPROMに記憶されるべきである物理的な開始アドレスを含むアドレスフィールドを含む。上記データ部は、更新されたプログラムデータバイトと、上記更新されたプログラムデータバイトの各ビットの排他的論理和によって得られたチェックサムとを含む。パケットのフォーマットは次の表6に示されている。

【0084】

【表6】

パケットフィールド	フィールド長
パケット長、ハイバイト	1バイト
パケット長、ローバイト	1バイト
アドレス、ハイバイト	1バイト（最も低い位の4ビットのみが用いられ、高い位の4ビットは0にセットされる。）
アドレス、中間バイト	1バイト
アドレス、ローバイト	1バイト
プログラムデータ	xバイト
排他的論理和によって得られたチェックサム	1バイト

【0085】パケットが構築された後、ホストPCは、1つのパケットをプログラムするためのATFLPコマンドを変復調システムに対して送信する。ATFLPコマンドの受信時に、変復調システムは'G'を送信して応答する。次いで、ホストPCは、RAMバッファポインタによって指示されたデータパケットを送信する。

【0086】パケットが変復調システムによって受信された後に、変復調システムは、受信されたデータに基づいてパケット自身のチェックサムを発生し、受信されたデータをホストPCによって送信されたチェックサムと比較する。もしそれらが等しいならば、変復調システムは'OK'を送信して応答し、上記受信されたコードは、アドレスのハイバイトと、アドレスの中間バイトと、アドレスのローバイトとによって指示されたフラッシュPROMアドレスにプログラムされる。もしそうでないならば、変復調システムは“エラー”を送信して応

答する。

【0087】ホストPCは、プログラミングが完了し又は5つの連続するエラーが生じるまで、プログラミングループを用いて実行し、RAMバッファを用いてサーチし、複数のパケットを生成し、当該複数のパケットを変40復調システムに対して送信するであろう。

【0088】図19の左下の質問ブロックでプログラミングが終了したことを決定することによって、ホストPCがすべてのパケットを送信した後、ホストPCはプログラミングが完了したことを示す信号に対応するATFLENDコマンドを送信する。ファイルがプログラムされた後に、図16に図示された出口ルーチンが実行され、この出口ルーチンにおいては、複数のタイマーの計時が停止され、表示装置のスクリーンの状態が元の状態に戻される。ユーザは、プログラムが完了したこと、又50はエラーによって終了したことが知らされる。次いで、

31

プログラムは通常の変復調システムのコードにジャンプする。

【0089】ブート制御プログラムの詳細な説明

図20及び図21は、ブート制御プログラムのフローチャートである。図16乃至図19はホストPCにおいて実行すべき制御フローである一方、図20及び図21は変復調システムにおいて実行すべき制御フローであることを除いて、図20及び図21は、上述されたように図16乃至図19と同一のプログラミングの手順を示す。図20において、このプログラムはパワーアップ（又は電源オン）又はAT*FSに応答して開始される。変復調システムとホストPCとの間のシリアルポートは、19200ポードで初期化される。このとき、変復調システムはまた、プログラムコードをRAMにコピーする。ブート制御プログラムはRAMの外側で実行される一方、フラッシュROMは再プログラムされる。このことは、フラッシュROM U7におけるある複数のビットを再プログラミング中においてトグル状態にさせ（すなわち、2つのメモリ間に同一のデータをコピーしてその間で切り換えることができるよう設定され）、従って、ブート制御プログラムはブート制御コードの占有を回避するためにRAMにコピーされる必要があるためである。

【0090】次いで、図18及び図19を参照して上述されたハンドシェーディングのプロトコルが実行される。変復調システムは30ミリ秒の間カウンタを初期化する。もし変復調システムがホストPCから'M'を受信したならば、変復調システムは'U'を送信して応答する。もし'M'が受信されないならば、上記カウンタはデクリメントされる。当該ループは、もし'M'が受信されないならば30ミリ秒後にタイムアウトされて終了するであろう。当該ループの繰り返し回数は、変復調システムの水晶発振器の速度又は周波数に依存するが、本実施例においては、30ミリ秒に等しい。

【0091】'M'が受信されて'U'の応答が送信されたとき、もう1つのカウンタは300ミリ秒に初期化される。もし'D'がタイムアウトから300ミリ秒以内にホストPCから受信されたならば、変復調システムは、変復調システムが実行することができるボーレートに依存して、'J'、'K'又は'M'を送信して応答する。

【0092】次いで、ホストPCは、'I'、'J'、'K'、'L'又は'M'のいずれかを送信し、ホストPCと変復調システムの両方は取り決められた速度に従ってそれらの間で使用するボーレートを設定する。

【0093】ATコマンドATFLP、ATFLEND又はATIxはいま、変復調システムによって受信されることが可能である。これらのコマンドを受信したときのプログラミングの手順を示す制御フローのフローチャ

32

ートは、図21乃至図23において図示されている。

【0094】図21は、ATFLPコマンドを受信したときの制御フローを示す。変復調システムはまず最初に、ATFLPコマンドが受信されたことを示すために、'G'を送信して応答する。次いで、パケット長のバイトと、プログラミングアドレスのバイトとがホストPCから受信される。カウンタは1つのパケットの長さに初期化され、チェックサムが0に初期化される。

【0095】次いで、変復調システムは、1つのループ¹⁰を用いて実行し、各データバイトをゲットし、上記受信されたデータを用いて上記ループの間の前の繰り返しからチェックサムに対して排他的論理和の演算を実行することによって新しいチェックサムを計算する。変復調システムは上記ループを用いて処理を実行し、ここで、カウンタ値が0になるまで各繰り返しにおけるカウンタをデクリメントし、当該カウンタ値が0になったとき、全体のパケットが受信されたことを示す。

【0096】次いで、変復調システムはホストPCによって発生されたチェックサムデータを受信する。もしホストPCによって発生されたチェックサムのデータバイトが変復調システムによって発生されたチェックサムに等しいならば、データバイトは、フラッシュROMへのパケットを用いて送信されたプログラミングアドレスにプログラムされ、'OK'の応答信号がホストPCに送信される。もしこれらのチェックサムが等しくないならば、エラーメッセージがホストPCに送信される。

【0097】図22は、ATFLENDコマンドを受信したときの制御フローを示すフローチャートである。上述のように、ATFLENDコマンドは、フラッシュROMのプログラミングが完了したときに発生される。もしコマンドATFLENDが受信されたとき、シリアルポートはディスエーブルされ、通常の変復調システムのコードへのジャンプが実行される。

【0098】図23は、他のコマンドであるATIxを受信したときの処理を示すフローチャートであり、ここで、x = 0, 1, 2又は3である。ATI0コマンドは、変復調システムに対してプロダクト識別(ID)コードを送信して応答させることを指示する。ATI1コマンドは変復調システムに対して、変復調システムにインストールされた(設けられた)ブート制御プログラムのバージョンであるブートバージョンナンバーを送信して応答させることを指示する。このブートバージョンナンバーは、異なるバージョンが異なるパケット長を必要とする可能性があるので重要である。

【0099】ATI2コマンドは、基本的な(ペイジック)変復調システム又はハードウェアのプラットフォーム(基盤)の識別のためのコマンドである。例えば、MT1432xxはペイジックMT1432のプラットフォームからの派生物の1つであることを示す。これらは、より高度なホストインターフェースを備えるために

より明確になるであろう。ATI3コマンドは、国のタイプ、又は特別なデフォルト値を示すために用いることができ、もしくは、よりスマートな賢明なホストPCインターフェースを形成する将来の拡張のために用いられる。

【図面の簡単な説明】

【図1】 本発明に係る一実施例である変復調システムが設けられる電気通信システムの環境を示すシステム図である。

【図2】 図1の変復調システムのハードウェア構成要素のブロック図である。

【図3】 図4乃至図14における相互の電気的な接続を示すための図面の配置図である。

【図4】 図1の変復調システムのハードウェア構成要素における回路の第1の部分の詳細な回路図である。

【図5】 図1の変復調システムのハードウェア構成要素における回路の第2の部分の詳細な回路図である。

【図6】 図1の変復調システムのハードウェア構成要素における回路の第3の部分の詳細な回路図である。

【図7】 図1の変復調システムのハードウェア構成要素における回路の第4の部分の詳細な回路図である。

【図8】 図1の変復調システムのハードウェア構成要素における回路の第5の部分の詳細な回路図である。

【図9】 図1の変復調システムのハードウェア構成要素における回路の第6の部分の詳細な回路図である。

【図10】 図1の変復調システムのハードウェア構成要素における回路の第7の部分の詳細な回路図である。

【図11】 図1の変復調システムのハードウェア構成要素における回路の第8の部分の詳細な回路図である。

【図12】 図1の変復調システムのハードウェア構成要素における回路の第9の部分の詳細な回路図である。

【図13】 図1の変復調システムのハードウェア構成要素における回路の第10の部分の詳細な回路図である。

【図14】 図1の変復調システムのハードウェア構成要素における回路の第11の部分の詳細な回路図である。

【図15】 図1の変復調システムのソフトウェアにおいて、更新されたオペレーティングコードを含むHEXファイルをビルトインボードからホストPCにダウンロードするための処理を示すフローチャートである。

【図16】 図1の変復調システムのソフトウェアにおいて、ホストPCからグレード向上のためのフラッシュ制御プログラムの処理の第1の部分を示すフローチャートである。

【図17】 図1の変復調システムのソフトウェアにおいて、ホストPCからグレード向上のためのフラッシュ制御プログラムの処理の第2の部分を示すフローチャートである。

【図18】 図1の変復調システムのソフトウェアにお

いて、ホストPCからグレード向上のためのフラッシュ制御プログラムの処理の第3の部分を示すフローチャートである。

【図19】 図1の変復調システムのソフトウェアにおいて、ホストPCからグレード向上のためのフラッシュ制御プログラムの処理の第4の部分を示すフローチャートである。

【図20】 図1の変復調システムのソフトウェアにおいて、ホストPCからグレード向上のためのブート制御プログラムの処理の第1の部分を示すフローチャートである。

【図21】 図1の変復調システムのソフトウェアにおいて、ホストPCからグレード向上のためのブート制御プログラムの処理の第2の部分を示すフローチャートである。

【図22】 図1の変復調システムのソフトウェアにおいて、ホストPCからグレード向上のためのブート制御プログラムの処理の第3の部分を示すフローチャートである。

【図23】 図1の変復調システムのソフトウェアにおいて、ホストPCからグレード向上のためのブート制御プログラムの処理の第4の部分を示すフローチャートである。

【符号の説明】

10, 10a…ラップトップコンピュータ、

20, 20a…ハードウェア構成要素、

30…電話線、

40…変復調装置、

60…ファックス装置、

90…パーソナルコンピュータ(PC)、

209…電話線インターフェース、

211…データポンプ回路、

213…メインコントローラ、

214…シリアル入力/出力(SIO)回路、

215…RS232シリアルインターフェース、

217…フラッシュPR0M回路、

C1, C2…キャバシタ、

CR201, CR202…ツエナーダイオード、

CR230, CR226, CR227, CR228…ダイオード、

FB201, FB202…フェライトビード、

Q102…MOSFET、

Q203…トランジスタ、

R15…抵抗、

S101…電源スイッチ、

T1…変成器、

U1…インターフェースチップ、

U2…デジタル信号プロセッサ(DSP)チップ、

U3…ゲートアレイ回路、

U4…Z80型KIO回路、

35

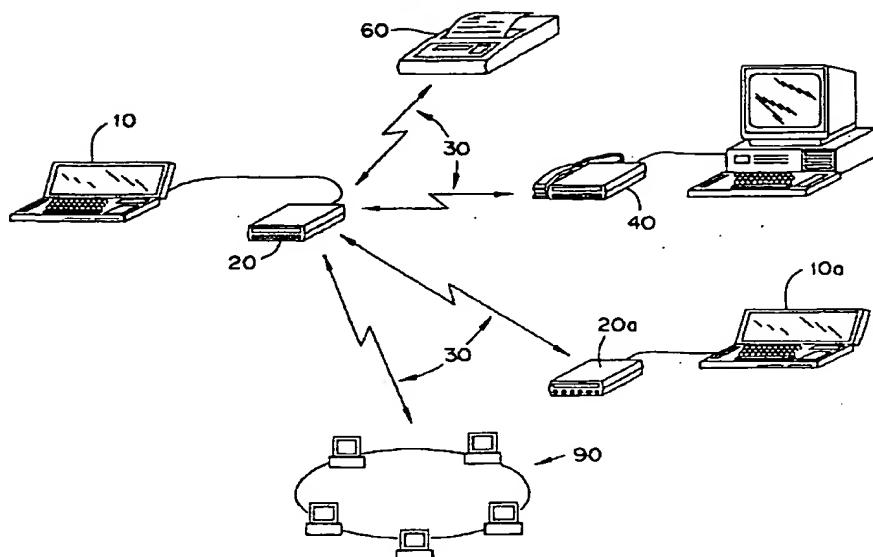
U 5…マイクロコントローラ、
 U 6…RAMチップ、
 U 7…メモリチップ、
 U 101…符号器一復号器(CODEC)、
 U 102…RS232ドライバ、
 U 104…演算増幅器、
 U 105…ラインバッファ、

36

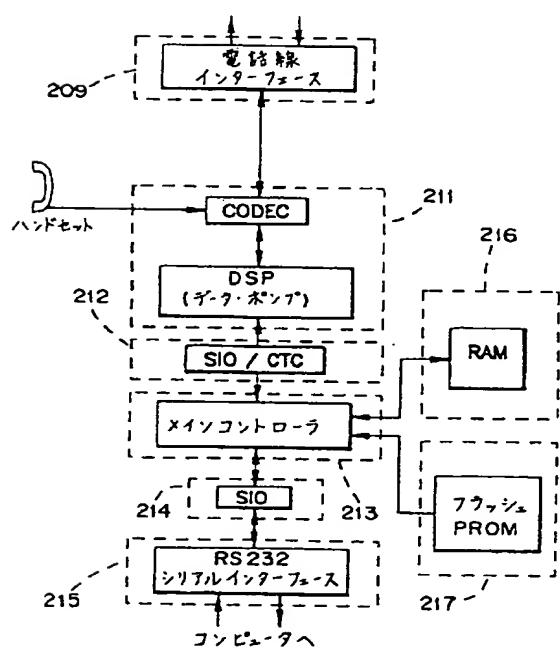
* U 107…5ボルトレギュレータ、
 U 220…光カップラ、
 X 101…スピーカ、
 X 215, X 202…固体リレー、
 XTAL…外部水晶発振子、
 XTAL1…外部クロック発振器。

*

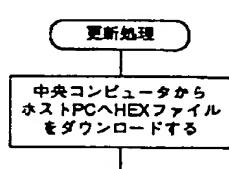
【図1】



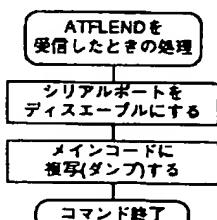
【図2】



【図15】



【図22】

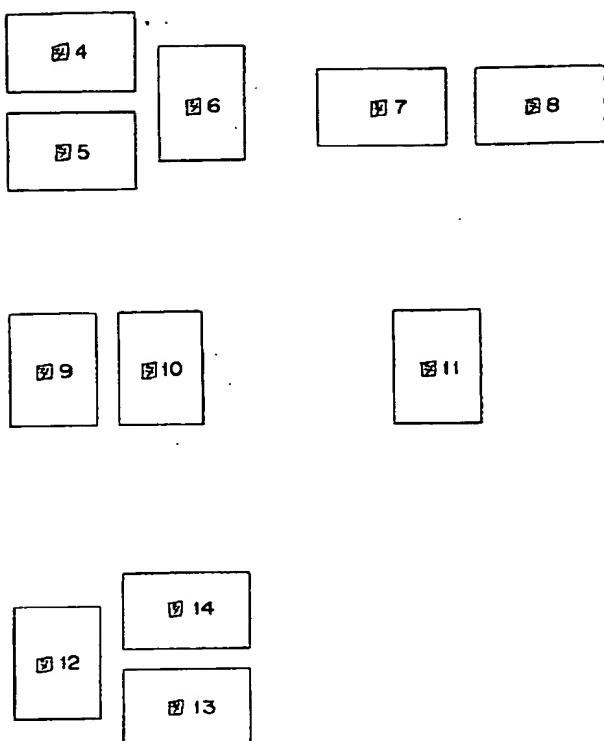


【図6】

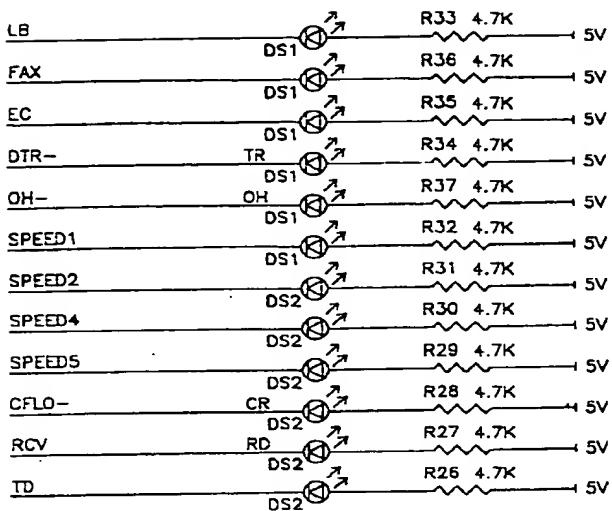
B 8128	
D0	A0
D1	A1
D2	U6 A2
D3	A3
D4	A4
D5	A5
D6	A6
D7	A7
RD-	A7
OE-	A8
WR-	A9
OV-	A10
SV-	A11
RFSH-	A12
VCC	A11 A12
RFSH	A12 A13
CE2	A13
5V	A13 A14
MEM2-	A14 A15
CE1	A15 A16
	A16

29C010	
D0	A0
D1	A1
D2	U7 A2
D3	A3
D4	A4
D5	A5
D6	A6
D7	A7
RD-	A7
OE-	A8
WR-	A9
OV-	A10
SV-	A11
VCC	A11 A12
MEM1-	A12 A13
CE	A13 A14
	A14 A15
	A15 A16

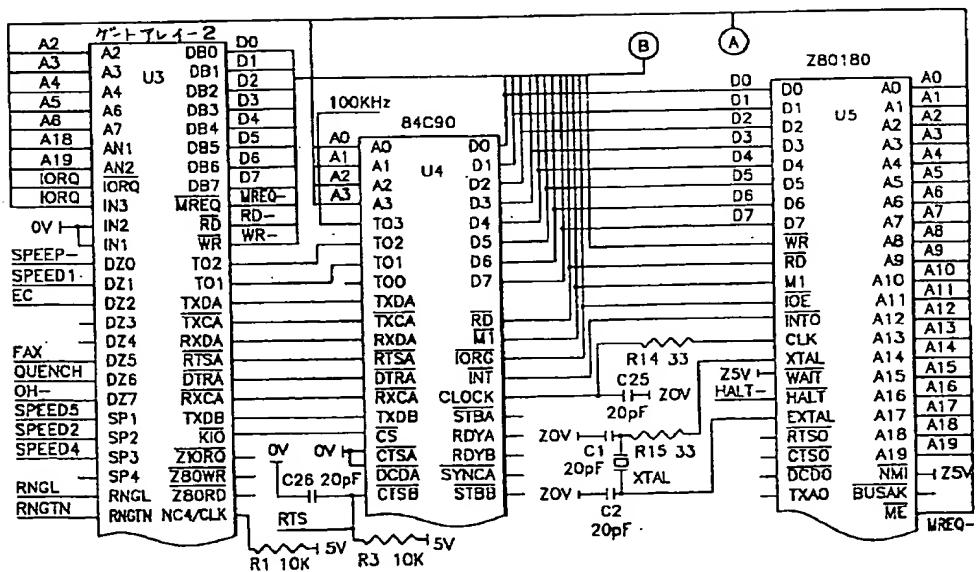
[図3]



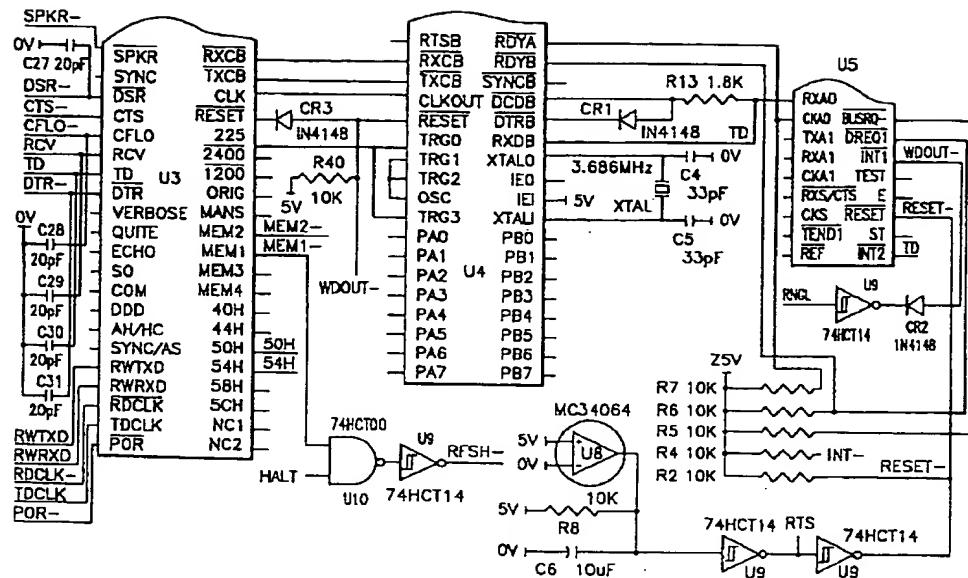
【図11】



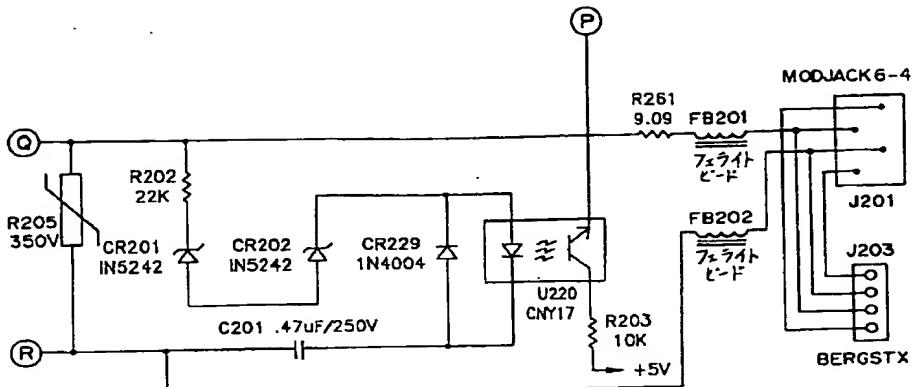
[图 4]



【図5】

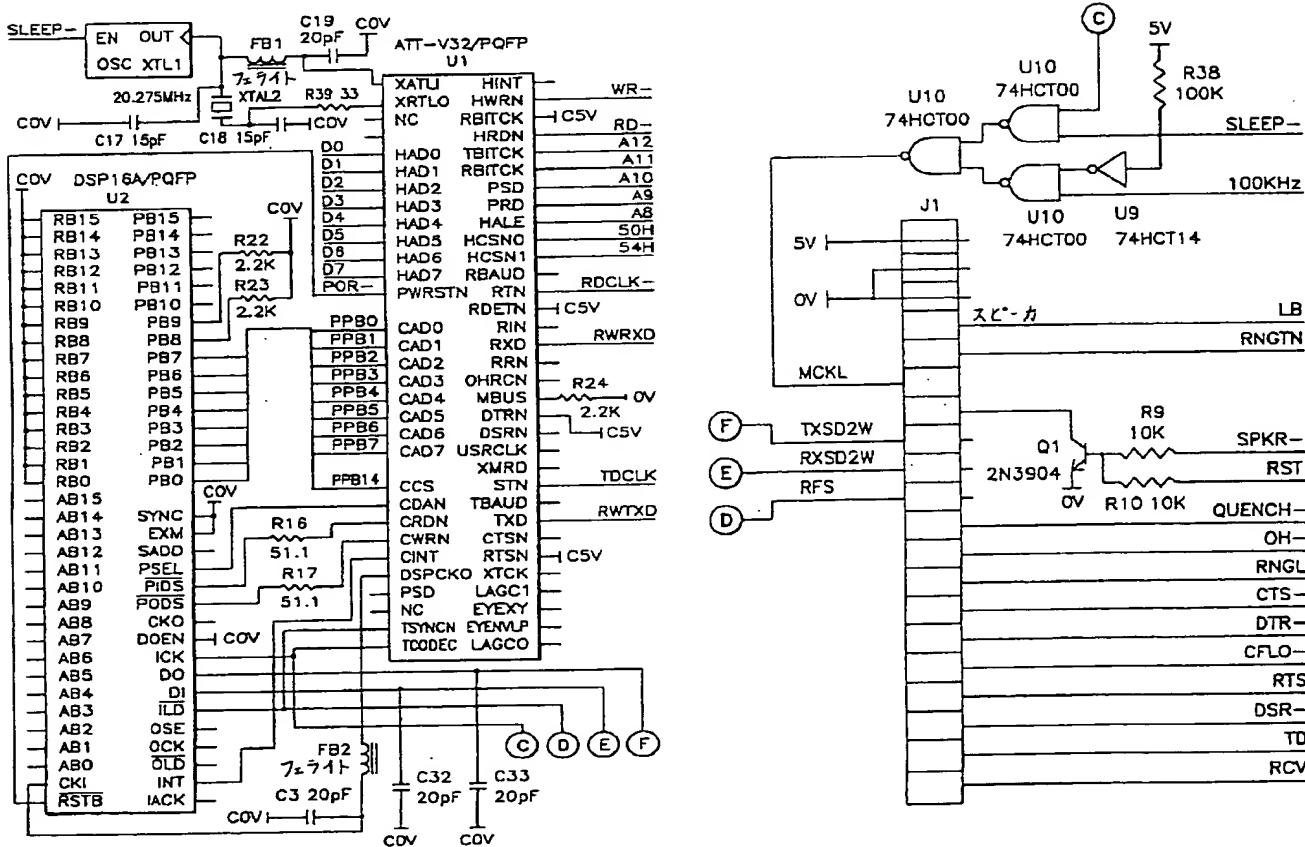


【图8】

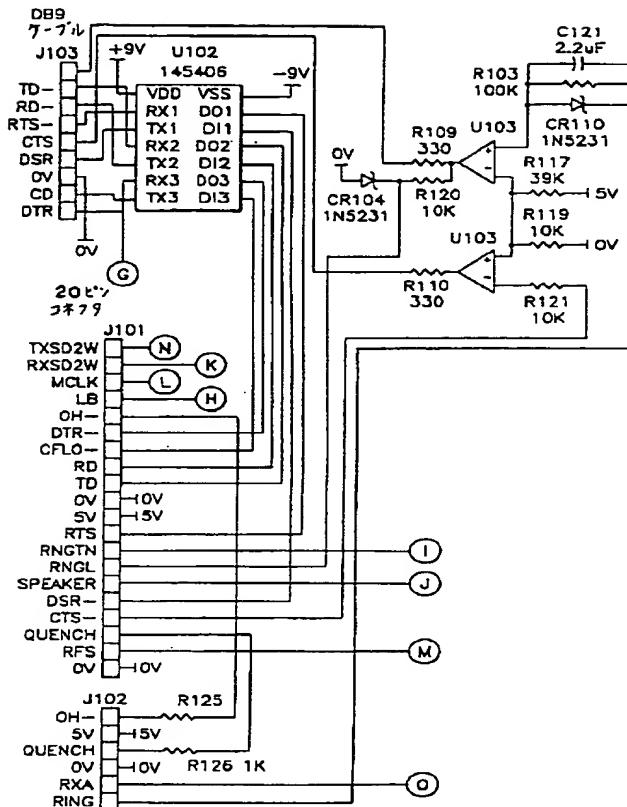


[图9]

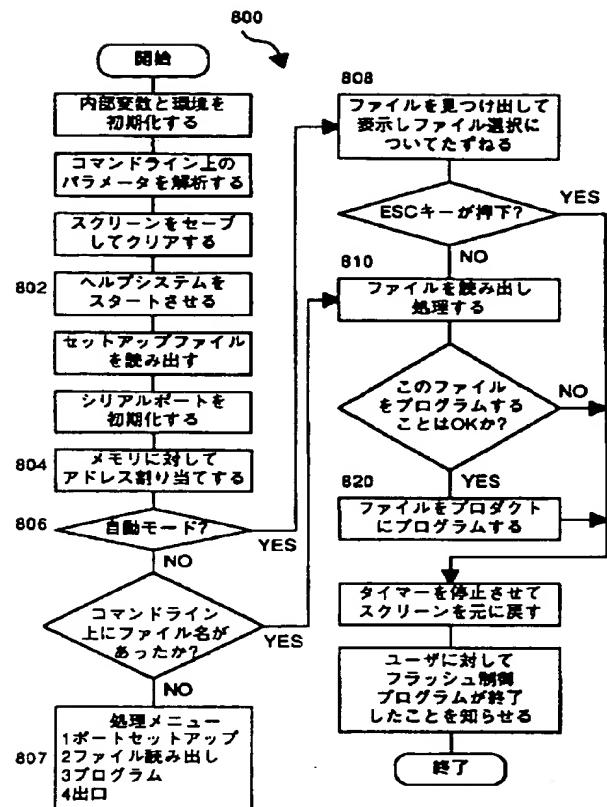
【図10】



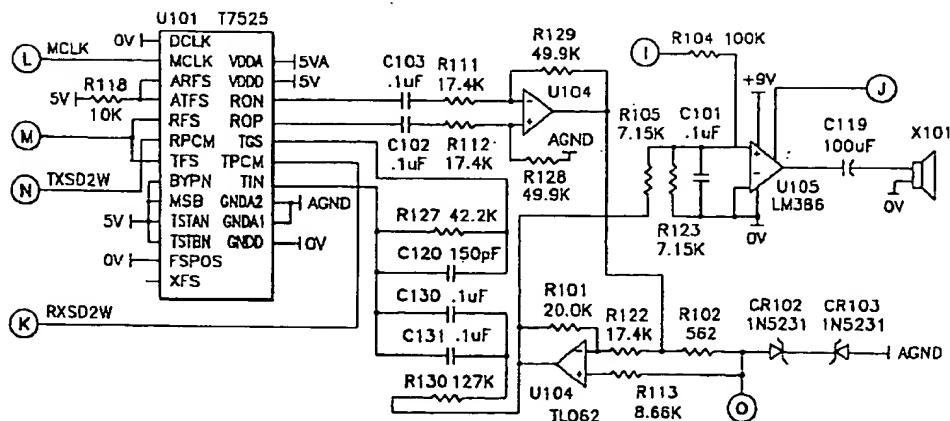
【図12】



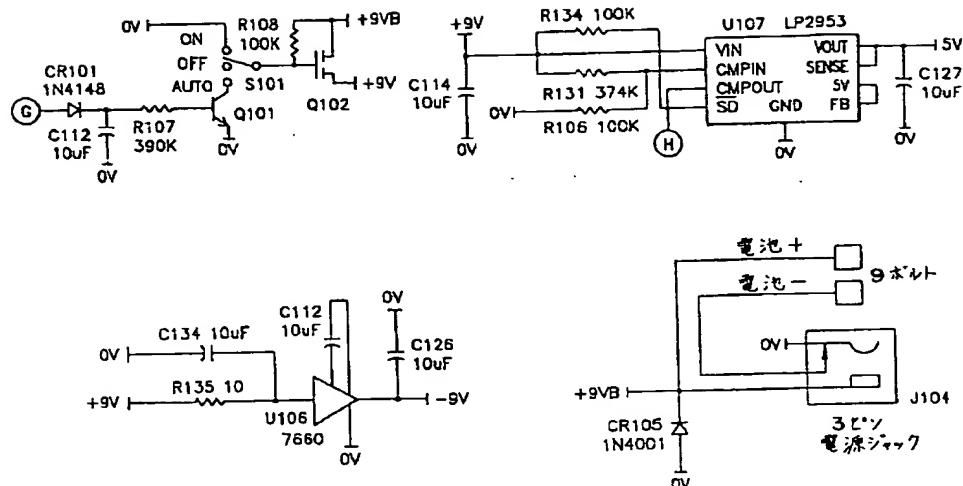
【图 16】



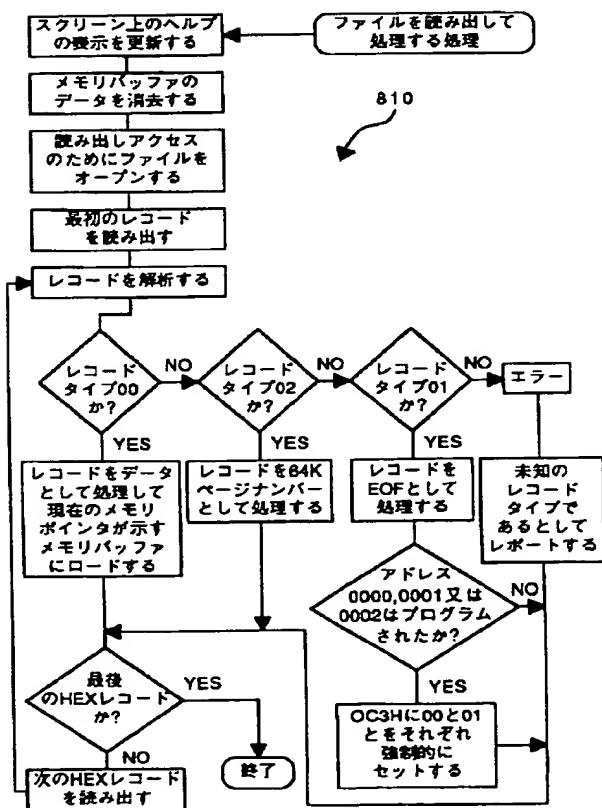
〔图13〕



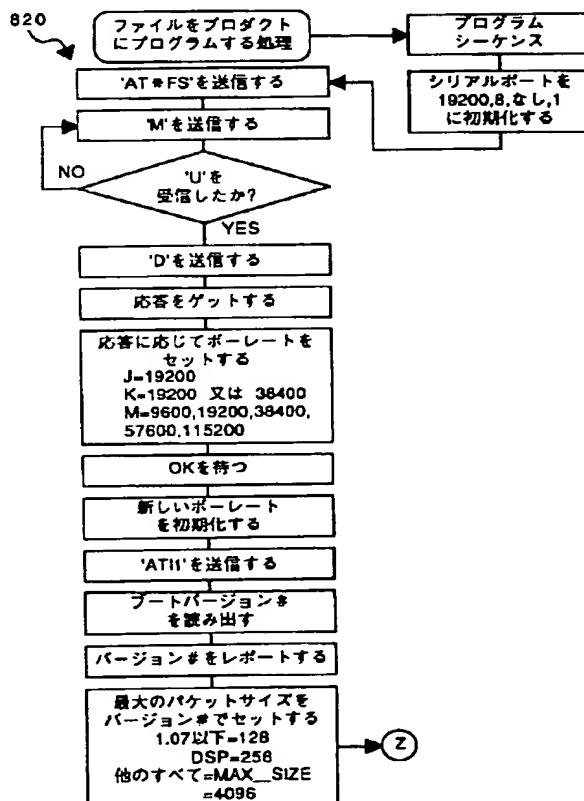
【図14】



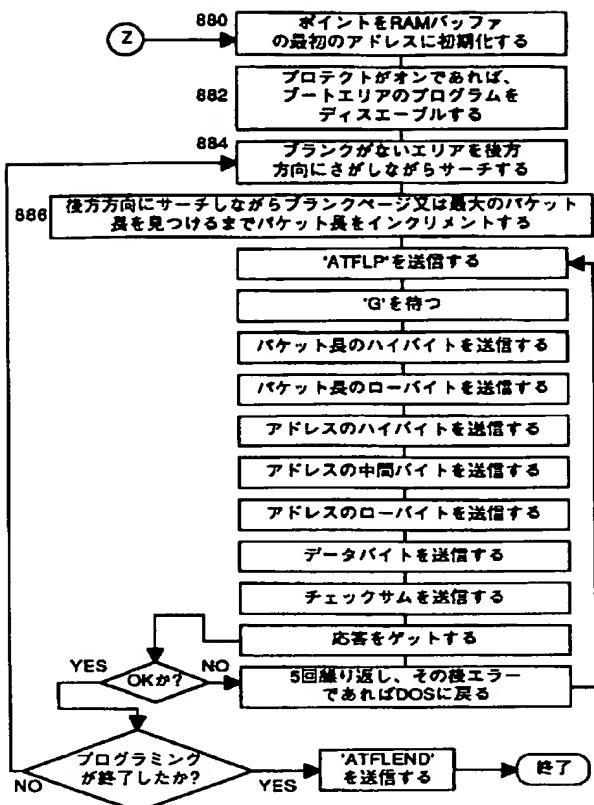
【図17】



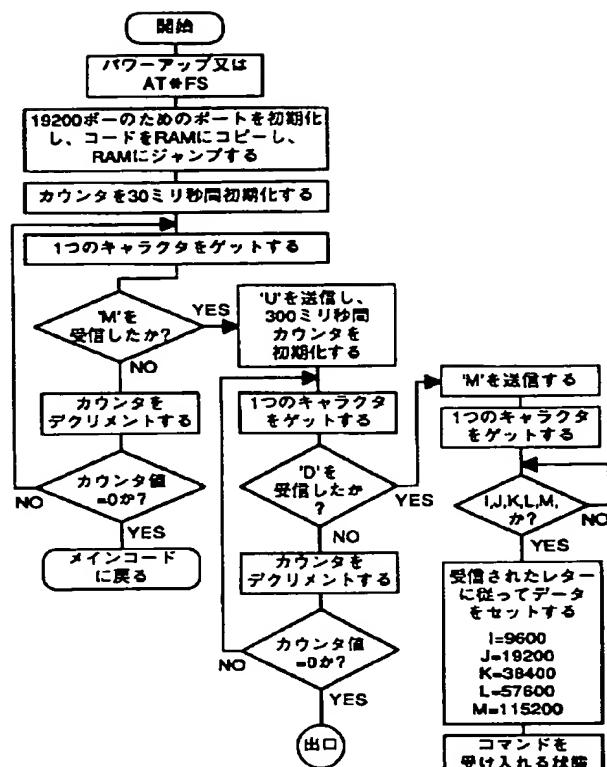
【図18】



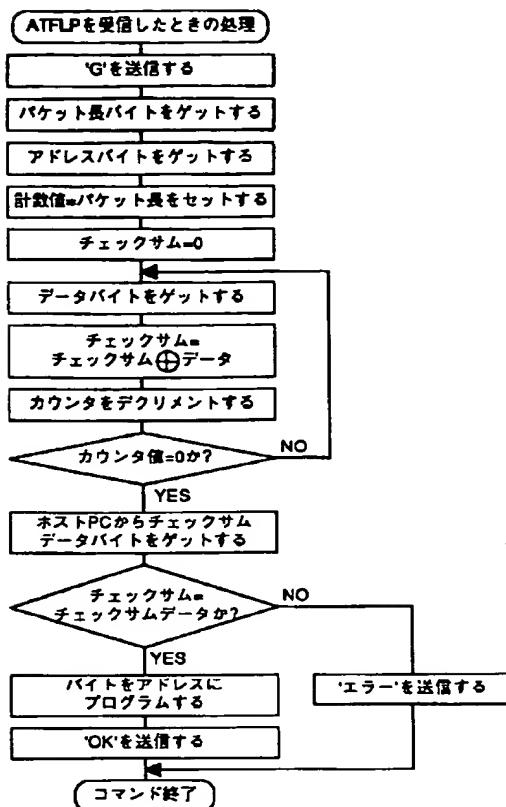
【図19】



【図20】



【図21】



フロントページの続き

(72)発明者 リチャード・ディ・ジョンソン
 アメリカ合衆国55109ミネソタ州メイブル
 ウッド、イースト・カウンティー・ロー
 ド・ディ1695番 ナンバー-301

(72)発明者 デイビッド・エイ・ワインジール
 アメリカ合衆国55112ミネソタ州マウン
 ズ・ビュー、グリーンフィールド・アベニ
 ュー・ノースイースト7661番 アパートメ
 ント306